

明細書

半導体集積回路装置

5 技術分野

本発明は、蓄積ノードに記憶された情報と入力された情報との比較を行うコンテンツ・アドレスサブル・メモリセル（CAMセル）を含む半導体集積回路装置に関し、特に、3値情報をリフレッシュしながら記憶するターナリダイナミックCAMセル（TDCAMセル）を高密度に集積し、低電力かつ高速なTDCAMアレイを実現する技術に適用して有効な技術に関するものである。

背景技術

ターナリ・ダイナミック・コンテンツ・アドレスサブル・メモリ（TDCAM）におけるTDCAMセル構成は、たとえば、'Records of the 2000 IEEE International Workshop on Memory Technology, Design and Testing, 2000, Page(s): 101-105'（以下、文献1）に記載されている。

図21に、文献1のFig. 2に示されたセル構成の一例を示す。

このセルは、混載DRAM（Dynamic Random Access Memory）加工技術により形成されており、NMOS（NチャネルMetal Oxide Semiconductor）トランジスタT1、T2とキャパシタC1、C2により、三値情報を記憶するメモリ機能を有する。

また、NMOSトランジスタT3、T4、T5、T6によるXNOR（排他的否定論理和）演算機能を有し、記憶情報と入力情報との比較を行う。なお、VPLTは、キャパシタC1、C2の一方の電極に入力される所謂プレート電極電圧である。

まず、メモリ機能について説明する。

三値情報は、情報'1'、情報'0'、所謂'Don't care'状態を表す情報'X'である。高電圧を論理'1'、低電圧を論理'0'とすると、蓄積ノード（N1、N2）の論理値は、情報'1'の場合（1、0）、情報'0'の場合

(0, 1)、情報' X' の場合 (0, 0) である。

記憶情報のリフレッシュはトランジスタ T 1, T 2 を介して行われ、同図では省略されているが、ビット線 B L 1, B L 2 にそれぞれ接続されたセンスアンプを用いて読み出しと再書き込みが行われる。

5 次に、X N O R 演算機能について説明する。

検索動作において記憶情報と比較される情報は、サーチ線 S L 1, S L 2 を介して入力される三値情報である。その内訳は、情報' 1' と情報' 0'、さらに、所謂' M A S K' 状態を表す情報' X' である。

10 記憶情報と入力情報が同じ時、すなわち一致の時は、高電圧にプリチャージされたマッチ線 M L と低電圧（たとえば接地電圧 V S S）に固定された放電線 D C L との接続が遮断（カットオフ）されるので、マッチ線はプリチャージ電圧に保持される。

また、記憶情報が 'D o n' t c a r e' 状態であったり、入力情報が' M A S K' であったりした場合も、マッチ線 M L と放電線 D C L は遮断されるので、一致の場合と同様にマッチ線はプリチャージ電圧に保持される。

さらに、双方の情報が異なる時、すなわち不一致の時、たて積みトランジスタ T 3, T 4、またはトランジスタ T 5, T 6 のどちらか一方が導通することにより電流経路が形成されるので、マッチ線 M L と放電線 D C L が短絡されて、マッチ線 M L は接地電圧 V S S に向かって放電される。

20 以上の動作によるマッチ線 M L の電圧変化を、図示されていないマッチ線センスアンプで弁別することにより、比較結果を判定する。

図 2 6 は、以上の検索動作をまとめた真理値表である。

25 米国特許第 6 3 4 3 0 2 9 号（以下、文献 2）は、C A M セル構成の他の例を記載する。図 2 2 に文献 2 の F i g . 1 のセル構成およびアレイ構成の要部を示す。同図では、理解を助けるために、図 2 1 と同じ役割のトランジスタには、同じ記号を割り振っている。

このセルは、記憶回路 C S T 1, C S T 2 に保持された情報とサーチ線 S L 1, S L 2 を介して入力された情報とを、比較回路 C C P で比較するものであり、次に述べるような二つの特徴を有する。

第一の特徴は、平行に配置されたマッチ線MLと共通ソース線CSLとを用いたチャージシェア動作によって比較結果に応じた信号を発生する点にある。

第二の特徴は、比較回路CCPを構成するトランジスタの結線が図21のセルと異なる点にある。すなわち、蓄積ノードN1に接続されたトランジスタT4がマッチ線ML、サーチ線SL2に接続されたトランジスタT3が共通ソース線CSLにそれぞれ接続されている。

同様に、蓄積ノードN2に接続されたトランジスタT6がマッチ線ML、サーチ線SL1に接続されたトランジスタT5が共通ソース線CSLにそれぞれ接続されている。なお、比較回路CCPは、セル内の接続が違っても、図21のセルと同じようなXNOR演算が可能である。

次に、検索動作におけるチャージシェア動作を説明する。

まず、待機状態において、PMOS（PチャネルMOS）トランジスタTHP、およびNMOSトランジスタTLを導通させることによって、マッチ線MLを高電圧VPCH、共通ソース線CSLを接地電圧VSSにそれぞれプリチャージする。

15 検索動作が始まると、まず、プリチャージイネーブル信号PCHB、PCHを駆動してトランジスタTHP、TLをそれぞれカットオフ状態とし、マッチ線ML、および共通ソース線CSLをフローティング状態にする。

次に、サーチ線SL1、SL2を介して比較情報を入力する。ここで、記憶情報と比較情報とが同じである場合は、マッチ線MLと共通ソース線CSLとの接続が遮断されるので、マッチ線MLはプリチャージ電圧VPCHに保たれる。

一方、情報が異なる場合は、図21のセルと同様に比較回路CCPに電流経路が形成されてマッチ線MLと共通ソース線CSLが短絡される。このため、マッチ線MLの寄生容量CMに蓄えられた電荷が共通ソース線CSLの寄生容量CCに分割されて、マッチ線MLの電圧が低下する。

25 最後に、マッチ線MLの電圧変化を弁別することにより、情報の比較結果を判定する。このような動作では、寄生容量CMと寄生容量CCとの大きさが同じならば、短絡後のマッチ線MLの電圧は、プリチャージ電圧VPCHと接地電圧VSSの中間電圧 $VPCH/2$ となる。

したがって、図22の構成では、図21の構成のように共通ソース線CSLを接

地電圧 V_{SS} に接続する場合に比べて、マッチ線の電圧振幅が小さいので、マッチ線プリチャージに要する電力が抑制される。

5 以上の文献で述べられている CAM は、複数の記憶情報（以下では、エントリという）と比較情報（以下、検索キーという）とを同時に比較して、これらの同異を判別するデバイスである。

このため、テーブル検索の高速化が求められているルータやスイッチなどの通信機器用途での需要が高まっている。しかし、近年の爆発的なインターネットの普及に伴い、テーブル規模が急増しており、TCAM の大容量化が課題となっている。

10 本願発明者等は、本願に先立ち、TCAM の大容量化について検討した結果、図 21、および図 22 に示したメモリセル構成では、高集積化と低電力化の二つについて考慮が十分なされていないことに気がついた。

第一の高集積化について、メモリセル面積のさらなる低減には、キャパシタを立体化し、自己整合プロセスを用いた汎用 DRAM 加工技術の導入が有効である。

15 しかし、図 21 のメモリセルは、素子数および信号数が多いために、汎用 DRAM のような規則正しいメモリアレイのレイアウトおよび構造を実現するのが困難であり、自己整合プロセスの導入が困難な恐れがある。

20 また、蓄積ノード $N1$ 、 $N2$ に見られるように、メモリセル内部でトランジスタのゲート電極とソースまたはドレイン電極とを接続する汎用 DRAM にはない構造が必要なので、汎用 DRAM の加工工程と整合性がとれず、新たな加工技術の開発が必要になる恐れがある。

第二の低電力化について、マッチ線のプリチャージ電力抑制には、図 22 に示した構成によるチャージシェア動作が有効である。しかし、図 22 の比較回路 CCP の構成では、極微細加工を用いた汎用 DRAM で問題となるような配線間の結合容量に起因する雑音の影響が大きく、比較動作に要する時間が増加する恐れがある。

25 図 23 は、この問題について、本願に先立って詳細に検討した CAM のセル構成およびアレイ構成の要部を示している。

同図は、図 22 のメモリセル CMC において結合容量を考慮した等価回路モデルであり、サーチ線 $SL1$ 、 $SL2$ と共通ソース線 CSL との間に結合容量 $CSC1$ 、 $CSC2$ 、蓄積ノード $N1$ 、 $N2$ とマッチ線 ML との間に結合容量 $CNMC1$ 、 C

NMC 2 が挿入されている。

図 2 4 と図 2 5 は、図 2 3 の構成における検索動作タイミングの一例を示している。ここで、メモリセル CMC は、記憶回路 CST 1, CST 2 を用いて、記憶情報 '1' を保持しているものと仮定する。

- 5 この場合、蓄積ノードの論理値は $(N1, N2) = (1, 0)$ であり、蓄積ノード N1 は電源電圧 VDD、蓄積ノード N2 は接地電圧 VSS にそれぞれ保持されている。したがって、トランジスタ T4 は導通し、トランジスタ T6 はカットオフ状態にある。

- 10 また、参照電圧 VR は、マッチ線の電圧を弁別するための基準電圧である。さらに、VSIG は、正確な弁別に必要なマッチ線電圧と参照電圧 VR との電圧差であるが、以下では、比較信号電圧と呼ぶことにする。

はじめに、図 2 4 に従って、情報が一致した場合の検索動作タイミングを説明する。

- 15 まず、待機状態において、プリチャージイネーブル信号 PREB を接地電圧 VSS、プリチャージイネーブル信号 PRE を電源電圧 VDD にそれぞれ駆動することにより、トランジスタ THP, TN をそれぞれ導通させて、マッチ線 ML をプリチャージ電圧 VPCH、共通ソース線 CSL を接地電圧 VSS にそれぞれ駆動する。

- 20 検索動作が始まると、接地電圧 VSS となっているプリチャージイネーブル信号 PREB を電源電圧 VDD、電源電圧 VDD となっているプリチャージイネーブル信号 PRE を接地電圧 VSS にそれぞれ駆動することにより、トランジスタ THP, TL の各々をオフ状態として、マッチ線 ML と共通ソース線 CSL とをフローティング状態とする。

- 25 続いて、サーチ線を介して検索キーを入力する。メモリセル CMC の記憶情報と比較する検索キーの情報が '1' である場合、サーチ線の論理値は $(SL1, SL2) = (1, 0)$ であるので、接地電圧 VSS となっているサーチ線 SL1 が電源電圧 VDD に駆動され、サーチ線 SL2 が接地電圧 VSS に保持される。

ここで、サーチ線 SL1 は寄生容量 CSC1 を介して共通ソース線 CSL と結合しているので、サーチ線 SL1 の活性化に応じて共通ソース線 CSL の電圧が上昇する。このようなサーチ線電圧の変動による電圧上昇を、以下ではサーチ線駆動雑

音と呼ぶことにする。

なお、図 2 3 では省略されているが、実際の検索キーは複数のビットで構成された情報であるので、一本のマッチ線に複数のメモリセルが接続されており、複数のサーチ線が同時に駆動されることによりサーチ線駆動雑音が重畳される。

- 5 また、TCAMで情報'X'が入力された場合、該当するサーチ線対は接地電圧VSSに保持される。したがって、図 2 4 に示したサーチ線駆動雑音VNCの大きさは、検索キーのデータパターン、すなわちサーチ線の駆動本数に応じた値となる。

- 一方、マッチ線MLは、結合容量CNMC1, CNMC2を介して蓄積ノードN1, N2とそれぞれ結合しているが、これら蓄積ノードの電圧は保持されているので、プリチャージ電圧VPCHに保持される。
- 10

さて、検索キーが入力されたことにより、メモリセルCMC11のトランジスタT5が導通されるが、トランジスタT6がカットオフ状態にあるので、比較回路CPの蓄積ノードN2側には電流が流れない。

- また、トランジスタT3はカットオフ状態に保たれるので、蓄積ノードN1側にも電流が流れない。すなわち、メモリセルCMC11の比較回路CPは一致状態にある。
- 15

したがって、マッチ線MLはプリチャージ電圧VPCHに保たれるので、参照電圧VRに対して正の比較信号VSI Gがマッチ線MLに発生されたことを何らかの方法で検出することにより、一致と判定する。

- 20 次に、図 2 5 に従って、検索キーとエントリが異なる場合の検索動作を説明する。マッチ線MLおよび共通ソース線CSLをフローティング状態としてから検索キーを入力する動作は、前述した通りである。

以下では、メモリセルCMCの記憶情報と比較する情報が'0'である場合の検索動作を述べる。

- 25 この場合、サーチ線の論理値は(SL1, SL2) = (0, 1)であるので、サーチ線SL1が接地電圧VSSに保持されるのに対して、接地電圧VSSとなっているサーチ線SL2が電源電圧VDDに駆動される。

ここで、サーチ線SL2は寄生容量CSC2を介して共通ソース線CSLと結合しているので、図 2 4 と同様に、サーチ線SL2の活性化に応じて、共通ソース線

C S Lの電圧が上昇する。

さて、検索キーが入力されたことにより、メモリセルM C 1 1のトランジスタT 3が導通されるので、電流経路が比較回路C C Pの蓄積ノードN 1側に形成されることにより、マッチ線M Lと共通ソース線とが短絡される。

- 5 すなわち、プリチャージ電圧V P C Hに駆動されていたマッチ線M Lは、中間電圧V Mに向かって放電され、接地電圧V S Sにプリチャージされていた共通ソース線C S Lは中間電圧V Mに向かって充電される。

- したがって、マッチ線M Lの電圧が参照電圧V Rを下回り、参照電圧に対して負の比較信号電圧 $-V S I G$ が発生されたことを何らかの方法で弁別することにより、比較結果が不一致であったと判定する。最後に、電源電圧V D Dとなっているサーチ線S L 2を接地電圧V S Sに駆動し、電源電圧V D Dとなっているプリチャージイネーブル信号P R E Bを接地電圧V S S、接地電圧V S Sとなっているプリチャージイネーブル信号P R Eを電源電圧V D Dにそれぞれ駆動して、マッチ線M L、共通ソース線C S Lをそれぞれプリチャージすることにより、検索動作を終える。
- 10
- 15

なお、 t_1 は、サーチ線を駆動してから負の比較信号電圧 $-V S I G$ が発生されるまでの時間であり、以下では、比較時間と呼ぶことにする。また、同図では、ワースト条件における動作タイミングを説明するために、マッチ線M Lに接続された他のメモリセルが一致状態にある場合のマッチ線波形を示している。

- 20 しかし、他のメモリセルが不一致状態にあるならば、マッチ線と共通ソース線C S Lとは複数のメモリセルに形成された電流経路によって短絡されるので、図示された波形よりも早く中間電圧V Mに変化することは明らかである。

- さらに、結合容量C S C 1、C S C 2、C N M C 1、C N M C 2が同じ大きさの容量であり、マッチ線M Lおよび共通ソース線C S Lの負荷容量が等しい場合、短絡後の電圧は $V P C H / 2$ となる。しかし、サーチ線駆動雑音の大きさに応じてV P C H / 2より高い電圧V Mとなることは、容易に理解できる。
- 25

以上の検索動作から、図23のメモリセルC M CにおけるトランジスタT 3、T 5は、サーチ線駆動雑音によってソース電極（ここでは、共通ソース線C S L）の電圧が上昇することにより、ゲート-ソース間電圧が小さくなり、さらには基板バ

イアス効果によりしきい電圧が上昇するので、駆動能力が低下する。

このため、図 23 の構成による T C A M は、マッチ線のプリチャージ電力が抑制される反面、検索キーのデータパターンによって比較時間 t_1 が著しく増加し、検索動作が遅くなる恐れがある。

- 5 本発明の目的は、T D C A M セルの高集積化に向けて、汎用 D R A M 加工技術を適用するためのメモリセルのレイアウトおよび内部ノード接続技術を提供することにある。

また、本発明の他の目的は、マッチ線の低電力化に有効なチャージシェア方式において、サーチ線駆動雑音による比較時間の増加を回避するための技術を提供することにある。

10

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

発明の開示

- 15 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

- (1) 本発明は、複数のマッチ線対と、該複数のマッチ線対に交差する複数のサーチ線対と、複数のマッチ線対と複数のサーチ線対との交点に配置された複数のメモリセルとを有した半導体集積回路装置であって、複数のマッチ線対の各々は、プリ
20 チャージ回路を有し、該複数のプリチャージ回路は、マッチ線対のうち第一のマッチ線を第 1 の電圧、第二のマッチ線を第 1 の電圧よりも低い第 2 の電圧にそれぞれ駆動し、複数のメモリセルは、記憶回路と比較回路とを有し、該比較回路は、第一、および第二の M O S トランジスタを有し、該第一、および第二の M O S トランジスタのゲート電極は、複数のサーチ線にそれぞれ接続され、第一、および第二の M O
25 S トランジスタのソースあるいはドレインのいずれか一方の電極が複数の第一のマッチ線にそれぞれ接続されるものである。

また、本願のその他の発明の概要を簡単に示す。

- (2) 本発明は、複数のマッチ線対と、該複数のマッチ線対に交差する複数のサーチ線対と、複数のマッチ線対と複数のサーチ線対との交点に配置された複数のメモ

- リセルとを有する半導体集積回路装置であって、複数のマッチ線対の各々は、プリチャージ回路を有し、該複数のプリチャージ回路は、マッチ線対のうち第一のマッチ線を第1の電圧、第二のマッチ線を第1の電圧よりも低い第2の電圧にそれぞれ駆動し、複数のメモリセルの各々は、記憶回路と比較回路とを有し、該比較回路は、
- 5 複数のマッチ線対の間に第一の電流経路を形成するように直列接続された第一、および第二のMOSトランジスタと、第二の電流経路を形成するように直列接続された第三、および第四のMOSトランジスタとを有し、第一、および第三のMOSトランジスタのゲート電極は、複数のサーチ線にそれぞれ接続され、第一および第三のMOSトランジスタのソースあるいはドレインのいずれか一方の電極は、自己整合プロセスで形成されたコンタクトによって複数の第一のマッチ線にそれぞれ接続され、第二および第四のMOSトランジスタのゲート電極は、記憶回路にそれぞれ接続され、第二および第四のMOSトランジスタのソースあるいはドレインのいずれか一方の電極は、自己整合プロセスで形成されたコンタクトによって複数の第二マッチ線にそれぞれ接続されるものである。
- 10
- 15 (3) 本発明は、複数の第一のマッチ線と、該複数の第一のマッチ線に交差する複数のサーチ線対と、複数のサーチ線対に平行な複数のビット線対と、記複数の第一のマッチ線と複数のサーチ線対との交点に配置された複数のメモリセルとを有する半導体集積回路装置であって、複数のメモリセルの各々は、記憶回路と比較回路とを有し、該記憶回路は、複数のビット線対に接続され、該比較回路は、複数のサーチ線対と複数の第一のマッチ線に接続され、複数のビット線対の電圧振幅は、複数の
- 20
- 複数のサーチ線対よりも大きいものである。

図面の簡単な説明

- 図1は、本発明の実施の形態1による6個のトランジスタと2個のキャパシタで構成されるメモリセルを用いたメモリアレイの別の構成例を示す図、図2は、図1におけるメモリアレイの第二金属層より下の層のレイアウトを示す図、図3は、図1におけるメモリアレイの第三金属層より下の層のレイアウトを示す図、図4は、図2のレイアウト図中に示したA-A'線に沿った部分の構造を示す断面図、図5は、図2のレイアウト図中に示したB-B'線に沿った部分の構造を示す断面図、
- 25

図 6 は、図 3 のレイアウト図中に示した C-C' 線に沿った部分の構造を示す断面図、図 7 は、図 3 のレイアウト図中に示した D-D' 線に沿った部分の構造を示す断面図、図 8 は、図 1 のメモリセルにおいて寄生容量を考慮した簡易等価回路の一例を示す図、図 9 は、図 3 のレイアウト上に図 8 のメモリアレイに示した寄生容量を模式的に示した図、図 10 は、図 1 のメモリアレイにおいて寄生容量を考慮した簡易等価回路の一例を示す図、図 11 は、図 10 のメモリアレイにおいての一致エントリを検出した場合の検索動作タイミングの一例を示す図、図 12 は、図 10 のメモリアレイにおいて不一致エントリを検出した場合の検索動作タイミングの一例を示す図、図 13 は、本発明の実施の形態 1 による 6 個のトランジスタと 2 個のキャパシタで構成されるメモリセルを用いたメモリアレイの他の構成例を示す図、図 14 は、図 13 のメモリアレイにおいて寄生容量を考慮した簡易等価回路の一例を示す図、図 15 は、図 14 のメモリアレイにおいて一致エントリを検出した場合の検索動作タイミングの一例を示す図、図 16 は、図 14 のメモリアレイにおいて不一致エントリを検出した場合の検索動作タイミングの一例を示す図、図 17 は、本発明の実施の形態 2 による 6 個のトランジスタと 2 個のキャパシタで構成されるメモリセルを用いたメモリアレイの別の構成例を示す図、図 18 は、本発明の実施の形態 3 によるメモリアレイにおいて各回路ブロックに供給される電源電圧の一例を示すブロック図、図 19 は、図 18 の読み書き回路ブロックにおける要素回路の具体的な構成例を示す図、図 20 は、図 18 のメモリアレイにおけるリフレッシュ動作タイミングの一例を示す図、図 21 は 6 個のトランジスタと 2 個のキャパシタで構成されるターナリ・ダイナミック・コンテンツ・アドレスサブル・メモリセルの従来例を示す図、図 22 はチャージシェア動作を用いた比較信号電圧発生方式によるコンテンツ・アドレスサブル・メモリセルおよびメモリアレイの従来例を示す図、図 23 は、図 22 のメモリセルにおいて配線間の結合容量を考慮した等価回路の一例を示す図、図 24 は、図 23 のメモリセルにおいての一致エントリを検出した場合の検索動作タイミングの一例を示す図、図 25 は、図 23 のメモリセルにおいて不一致エントリを検出した場合の検索動作タイミングの一例を示す図、図 26 は、図 21 におけるメモリセルの検索動作の真理値表を示す説明図である。

発明を実施するための最良の形態

本発明を詳細に説明するために、添付の図面に従ってこれを説明する。なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。実施例の各ブロックを構成する回路素子は、特に制限されないが、典型的には公知のCMOS（相補型MOSトランジスタ）や立体型キャパシタ等の半導体集積回路技術によって、単結晶シリコンのような1個の半導体基板上に形成される。

（実施の形態1）

本実施の形態1において、図1は、メモリアレイの構成例を示している。同図では、メモリアレイの動作に必要なロウデコーダXDEC、読み書き回路ブロックRWB、サーチ線駆動回路SLD、プリチャージ回路PCH_r（ $r=1, 2, \dots, m$ ）、マッチ判定回路MD_r（ $r=1, 2, \dots, m$ ）も同時に示されている。

この構成の特徴は、次のように二つある。

第一の特徴は、二本のマッチ線的一方のマッチ線を高電圧（第1の電圧）、他方のマッチ線を低電圧（第2の電圧）にそれぞれ駆動するプリチャージ回路PCH_r（ $r=1, 2, \dots, m$ ）を配置し、高電圧に駆動されるマッチ線にマッチ判定回路MD_r（ $r=1, 2, \dots, m$ ）を配置する点にある。

第二の特徴は、サーチ線と高電圧に駆動されるマッチ線とが、後述する寄生容量によって結合している点にある。

このような構成において、チャージシェア動作によって二本のマッチ線に比較信号電圧を発生し、高電圧側のマッチ線に発生された信号をマッチ判定回路で弁別する。

なお、以下では、高電圧に駆動されるマッチ線（第一のマッチ線）HML_r（ $r=1, 2, \dots, m$ ）を高電圧側マッチ線、低電圧に駆動されるマッチ線（第二のマッチ線）LML_r（ $r=1, 2, \dots, m$ ）を低電圧側マッチ線とそれぞれ呼ぶことにする。また、必要に応じて対応する二本のマッチ線をマッチ線対と呼ぶことにする。

図1では、複数のビット線BL1_s（ $s=1, 2, \dots, n$ ）、BL2_s（ $s=1, 2, \dots, n$ ）が交互に平行に配置され、一つのメモリセルには、対応す

る二本のビット線がそれぞれ接続される。

また、複数のサーチ線 $SL1s$ ($s=1, 2, \dots, n$)、 $SL2s$ ($s=1, 2, \dots, n$) が対応するビット線に平行に配置される。以下では、例えばビット線 $BL11$ とビット線 $BL21$ のように対応する二本のビット線を、必要に応じて

5 ビット線対と呼ぶことにする。

同様に、サーチ線 $SL11$ とサーチ線 $SL21$ のように対応する二本のサーチ線を、必要に応じてサーチ線対と呼ぶことにする。さらに同図では、ビット線対に交

わるように、複数のワード線 WLr ($r=1, 2, \dots, m$) が配置され、複数の高電圧側マッチ線 $HMLr$ ($r=1, 2, \dots, m$) および低電圧側マッチ線
10 $LMLr$ ($r=1, 2, \dots, m$) が、対応するワード線に平行に配置される。ここでも、例えばマッチ線 $HML1$ と $LML1$ のように対応する二本のマッチ線を、以下では必要に応じてマッチ線対と呼ぶことにする。これらビット線対とワード線との各交点に、メモリセル $MCrs$ ($r=1, 2, \dots, m, s=1, 2, \dots, n$) がそれぞれ配置される。

15 メモリセルは、図 21 と同様に、2つのキャパシタと6つのトランジスタによる TDCAMセル構成である。ただし、図 21 では放電線 DCL に接続していたトランジスタ $T4$ 、 $T6$ のソースを、低電圧側マッチ線 LML に接続する点が異なる。なお、図 1 では、図 22 に示したメモリセル CMC の構成と比較するために、メモリセル MC を構成する素子が機能毎に二つの回路に分けて示されている。

20 すなわち、トランジスタ $T1$ 、 $T2$ とキャパシタ $C1$ 、 $C2$ は記憶回路 STC 、トランジスタ (第一のトランジスタ) $T3$ 、トランジスタ (第三のトランジスタ) $T4$ 、トランジスタ (第二のトランジスタ) $T5$ 、およびトランジスタ (第四のトランジスタ) $T6$ は比較回路 CP をそれぞれ構成する。

したがって、図 22 の比較回路 CCP の構成と比べると、マッチ線のプリチャージ電圧に対してトランジスタの接続順が逆になり、高電圧マッチ線 HML から低電
25 圧マッチ線 LML に向かって、一方はトランジスタ $T3$ 、 $T5$ 、他方はトランジスタ $T4$ 、 $T6$ の順にそれぞれ接続される。

メモリアレイの周囲に配置されたロウデコーダ $XDEC$ 、読み書き回路ブロック RWB 、サーチ線駆動回路 SLD 、プリチャージ回路 $PCHr$ ($r=1, 2, \dots$,

m)、マッチ判定回路MD_r ($r = 1, 2, \dots, m$)は、動作に応じて使い分けられる。

5 ロウデコーダXDECと読み書き回路ブロックRWBは、記憶情報(ここではエントリ)の読み出し動作や書き込み動作、或いはリフレッシュ動作に用いられる回路ブロックである。前者のロウデコーダXDECは、ワード線WL_r ($r = 1, 2, \dots, m$)の中からロウアドレスに応じたワード線を選択する。後者の読み書き回路ブロックRWBは、各ビット線BL_{1s} ($s = 1, 2, \dots, n$)、BL_{2s} ($s = 1, 2, \dots, n$)に配置された複数のセンスアンプやプリチャージ回路で構成される。

10 センスアンプは、例えば公知のクロスカップル型ラッチ構成であり、ビット線に読み出された信号の弁別や増幅を行い、さらに書き込み情報に応じた電圧にビット線および蓄積ノードを駆動する。

15 サーチ線駆動回路SLD、プリチャージ回路PCH_r ($r = 1, 2, \dots, m$)、マッチ判定回路MD_r ($r = 1, 2, \dots, m$)は、検索動作に用いられる回路である。

まず、サーチ線駆動回路SLDは、入力データ(ここでは、検索キー)に応じた電圧にサーチ線SL_{1s} ($s = 1, 2, \dots, n$)、SL_{2s} ($s = 1, 2, \dots, n$)を駆動する。

20 次に、プリチャージ回路PCH_r ($r = 1, 2, \dots, m$)は、プリチャージイネーブル信号PCがゲート電極に接続されたNMOSトランジスタTHN、TLでそれぞれ構成される。

プリチャージイネーブル信号PCに応じて、トランジスタTHNはプリチャージ電圧V_Hの電源端子と高電圧側マッチ線とを接続し、トランジスタTLはプリチャージ電圧V_Lの電源端子と低電圧側マッチ線LMLとを接続する。

25 ここで、前者のプリチャージ電圧V_Hは、後者のプリチャージ電圧V_Lよりも高く設定される。なお、トランジスタTHNの代わりに、図22に示したようなPMOSトランジスタTHPを用いることも可能である。しかし、相補のプリチャージ起動信号が必要となるため、制御信号の追加により消費電力が増加する。また、ウェル分離が必要になるために、チップ面積が大きくなるという問題もある。

したがって、制御信号が少なく、NMOSトランジスタだけ構成される図1のプリチャージ回路の構成の方が望ましい。さらに、マッチ判定回路MD_r ($r = 1, 2, \dots, m$) は、検索キーとエントリとの比較結果に応じて高電圧側マッチ線LML_r ($r = 1, 2, \dots, m$) に発生された比較信号電圧を弁別し、検索キーが一致したか否かを判定する。

このような構成により、以下の二つの効果が得られる。

第一の効果は、消費電力の低減である。本メモリアレイでは、後述するように、それぞれ異なる電圧にプリチャージしたマッチ線対をフローティング状態としてから、サーチ線対を介して検索キーを入力することによって、情報の比較結果に応じた信号をチャージシェア動作によって高電圧側マッチ線に発生する。したがって、高電圧側マッチ線の電圧振幅をマッチ線対のプリチャージ電圧差の半分程度にまで抑制することができるので、マッチ線のプリチャージ動作に要する電力を低減することが可能である。

第二に、比較信号発生時間の抑制である。後述するように、サーチ線対は高電圧マッチ線と結合しているので、検索動作におけるサーチ線駆動雑音は高電圧マッチ線に発生する。したがって、メモリセル内のトランジスタT₃, T₄, T₅, T₆ は、ゲートソース間電圧の低下あるいは基板バイアス効果によるしきい電圧の上昇による駆動能力の低下を回避できるので、比較時間を短縮することが可能である。以上の二つの効果により、低電力かつ高速に検索動作を行うTCAMを実現することができる。

次に、図2と図3に従って、メモリアレイのレイアウトの例を説明する。このレイアウトの特徴は、以下に述べるように四つある。

第一の特徴は、ゲート電極の配置にある。まず、蓄積ノードに接続されるトランジスタのゲート電極をL字型とし、ワード線と共に最小間隔でポリシリコン層を配置する点にある。

第二の特徴は、蓄積ノードにおけるトランジスタの拡散領域とゲート電極を、汎用DRAMのビット線形成に用いられる配線層に相当する第一金属層を介して接続する点にある。

第三の特徴は、メモリセルとビット線、サーチ線、マッチ線との接続に用いるコ

ンタクトおよびスルーホールを隣接するメモリセルと共有することにある。第四の特徴は、比較回路を構成する四つのトランジスタの電極をそれぞれ平行に配置する点にある。

図2は、メモリアレイの一部分について、第二金属層より下の層のレイアウトを示している。太い点線で描かれた四角形MCAは、一つのメモリセルの領域を示すものであり、実際のレイアウトパターンではない。

隣接するメモリセルは境界部のみが示されているが、実際は、四角形MCAの各辺にそれぞれ線対称に配置されている。

図示するように、メモリセルは、活性領域パターンFL、シリコン基板上に形成されたトランジスタのゲート電極やワード線となるポリシリコンパターンPS、キャパシタの上部電極を形成するプレート金属層パターンPLT、メモリセル内部における素子間の接続や後述するコンタクトとスルーホールとの接続に用いられる第一金属層パターンFM、高電圧側マッチ線や低電圧側マッチ線を形成する第二金属層パターンSM、活性領域と第一金属層とを接続する第一コンタクトパターンFC、ポリシリコン層と第一金属層とを接続する第二コンタクトパターンSC、活性化領域とキャパシタの下部電極とを接続する第三コンタクトパターンTC、第一金属層と第二金属層とを接続する第一スルーホールパターンFTなどから構成されている。

これらのパターンのパターニングには、周知の光リソグラフィを用いることができる。なお、同図では、簡単のためにキャパシタの下部電極を形成するポリシリコンパターンが省略されているが、公知の汎用DRAM加工技術から、プレート金属層パターンの真下に第三コンタクトパターン毎に配置されることは、容易に理解できる。

また、パターン名の後の括弧内には対応するノード名が示されており、マッチ線HML2、LML2とサーチ線SL12、SL22との交点にメモリセルが配置されていることから、四角形MCAに囲まれた領域は、図1のメモリアレイにおける第2行第2列目のメモリセルMC22であることは、容易に理解できる。

図3は、図2に第二金属層より上の層のパターンを追加したレイアウト図である。図において、第三金属層パターンTMはビット線やサーチ線を形成する。第二ス

ルーホールパターンSTは第二金属層と第三金属層とを接続する。なお、汎用DRAMでは、第一金属層FMを用いてビット線を形成していることが広く知られている。しかし、同図に示すメモリセルでは配線数が多いために、さらに上層の第三金属層TMに引き上げられている。

- 5 図4は、記憶回路STCにおいて、図2に示したA-A'断面を模式的に示した図である。

図において、P型半導体基板100内には素子分離用の絶縁物101が埋め込まれており、活性領域パターンFLにおけるN型拡散層領域102が形成されている。

- 10 P型半導体基板100上にはトランジスタのゲート酸化膜103、トランジスタのゲート電極104、およびトランジスタのゲート電極側面に絶縁膜で形成されたサイドウォール105が形成されている。

- また、ゲート電極104の上方には、サイドウォールと同時にゲート電極上に絶縁膜で形成されたゲートキャップ106が形成されている。第一金属層200はメモリセルの内部で素子を接続し、第二金属層201は第一スルーホールと第二スルーホールとの接続に用いられる。
- 15

さらに、下部コンタクト300はN型拡散層領域と第一金属層とを接続する第一コンタクトにおいてポリシリコンで形成され、上部コンタクト301は第一コンタクトにおいて第一金属層と同じ材料で形成されている。

- 第三コンタクト302はゲート電極と第一金属層とを接続するように第一金属層と同じ材料で形成されており、相関絶縁膜500において、第一スルーホール400は第一金属層と第二金属層とを接続する。
- 20

- 同図では、図2と対応させて、層名の後の括弧内にノード名を示している。例えば、図4中のゲート電極104で示されたノード名によって、トランジスタT1のソース、またはドレインの一方の電極とトランジスタT4のゲート電極とが第一金属層200と第一および第二コンタクトによって接続されていることが容易に理解できる。
- 25

なお、このような内部ノードの接続部分における構造は、図4では省略されているが、メモリアレイの外部に配置された回路ブロックにおいても使われる。例えば、汎用DRAMのロウデコーダXDECでは、ワード線を駆動するトランジスタのソ

ースまたはドレインの一方のN型拡散層領域とポリシリコンで形成されたワード線との接続が、同じような構造を用いて行われる。

図5は、さらに記憶回路STCにおいて、図2に示したB-B'断面を模式的に示した図である。

5 以下では、図4には示されていない構造を説明する。

上部コンタクト303は、N型拡散層領域102とキャパシタの下部電極とを接続する第三コンタクトにおいてポリシリコンで形成されている。キャパシタの下部電極600はポリシリコンで形成されており、その表面にはキャパシタの絶縁膜601を介して上部電極602、すなわちプレート電極が形成されている。

10 図5では、図2と対応させて、層名の後の括弧内にノード名を示している。例えば、ゲート電極104で示されたノード名によって、トランジスタT1とトランジスタT4のゲート電極がそれぞれ平行に配置されていることが容易に理解できる。

15 なお、第三コンタクトの下部コンタクトは、第一コンタクトの下部コンタクト300と同じ構造であり、サイドウォール105の隙間を埋め込むように同時に形成された所謂セルフ・アライン・コンタクト(SAC)である。この加工技術は、汎用DRAMで広く用いられている自己整合プロセスと呼ばれるものである。

また、第一金属層200と第一コンタクトの上部コンタクト301、第二コンタクト302は、これらの上層部にキャパシタを形成する際の熱処理による電気特性の劣化を防ぐために、例えば融点の高いタングステンで形成される。

20 さらに、図4にも示したように、第二金属層201とN型拡散層領域102との間の層に形成されるビット線BL12とメモリセルとの接続部分は、隣接するメモリセルと共有するように形成されていることは、容易に理解することができる。

さらに、図6は、比較回路CPにおいて、図3に示したC-C'断面を模式的に示した図である。

25 図において、ビット線やサーチ線は第三金属層202で形成されている。同図では、図4と対応させて層名の後の括弧内にノード名を示しており、例えば、図6中のゲート電極104で示されたノード名によって、比較回路CPにおけるトランジスタT3、T4、T5、T6のゲート電極が互いに平行に配置されていることが容易に理解できる。

このような構成により、比較回路CPにおいても、第一コンタクトの下部コンタクト300を前述の自己整合プロセスで形成している。また、これらのコンタクトを隣接するトランジスタ間で共有している。

図7は、さらに比較回路CPにおいて、図3に示したD-D'断面を模式的に示した図である。

第二スルーホール401は、第二金属層と第三金属層とを接続する。トランジスタT3、T5とサーチ線対SL12、SL22とは、第二コンタクト302、第一スルーホール400、第二スルーホール401を用いてそれぞれ接続されている。

これらの構造が隣接するメモリセルと共有されていることは、図3のレイアウトを考慮すれば容易に理解できる。なお、図4や図5の断面図には示されていないが、第三金属層305で形成されたビット線BL12、BL22とトランジスタT1、T2とは、サーチ線と同様に第二スルーホール401を介して接続されることは、図7から容易に理解できる。

以上のようなメモリセル構造により、次に述べる四つの効果が得られる。

第一の効果は、汎用DRAMと同じような自己整合プロセスを用いることにより、混載DRAMで考慮しているような合せ余裕を削減することができる点である。

第二の効果は、第一および第二コンタクトと第一金属層とを用いることにより、汎用DRAMのメモリアレイの外側に配置された回路ブロックと同じ加工工程で、メモリセルの内部ノードの接続を実現することができる点である。

第三の効果は、ビット線対やサーチ線対、マッチ線対とメモリセルとの接続部分を隣接するメモリセルと共有することにより、セル面積を抑制することができる点である。

第四の効果は、低電圧側マッチ線とメモリセルとの接続部分を隣接するメモリセルと共有し、さらにマッチ線対を同じ第二金属層を用いて配置することにより、サイドウォール絶縁膜によって低電圧側マッチ線に生ずる寄生容量を高電圧側マッチ線と同数にしながら、マッチ線対の負荷容量をほぼ同じ大きさにすることができる点である。

この第四の効果は、後述する検索動作において、十分な大きさの比較信号電圧を発生しながらマッチ線対の振幅を半減するチャージシェア動作に好適である。以上

の効果により、チャージシェア動作が可能なメモリセルを小さな面積で実現することが可能となる。

最後に、図 2、および図 3 に示したレイアウトにおいて、一例として、次の四つの規則を適用するものと仮定して、メモリセル面積を算出する。

- 5 第一の規則は、各層の配線幅および間隔の最小値を F (F は最小加工寸法) とする。第二の規則は、各コンタクトおよび各スルーホールのパターンを一辺が F の正方形とする。第三の規則は、各コンタクトの合せ余裕をゼロとする。第四の規則は、各スルーホールと各金属層との合せ余裕を二方にのみ $F/4$ とする。

- 10 これらの四つのレイアウト規則を用いると、比較回路におけるトランジスタ $T3$, $T4$, $T5$, $T6$ を最小間隔で配置することができるので、セル幅は $8F$ である。また、ワード線 WL を $10.25F$ ピッチで配置できるので、 F の 2 乗の 82 倍のメモリセルを実現することができる。

次に、これまで説明してきたメモリセル構造における寄生容量を考慮したメモリセルの簡易等価回路モデルを説明する。

- 15 図 8 は、図 1 のメモリアレイにおけるメモリセル $MC22$ の簡易等価回路モデルを示している。

- 20 容量 $CSH1$, $CSH2$ は、サーチ線 $SL12$, $SL22$ と高電圧側マッチ線 $HML2$ との間にそれぞれ生ずる寄生容量である。また、容量 $CSL1$, $CSL2$ は、サーチ線 $SL12$, $SL22$ と低電圧側マッチ線 $LML2$ との間にそれぞれ生ずる寄生容量である。

さらに、容量 $CNH1$, $CNH2$ は蓄積ノード $N1$, $N2$ と高電圧側マッチ線 $HML2$ との間、容量 $CNL1$, $CNL2$ は蓄積ノード $N1$, $N2$ と低電圧側マッチ線 $LML2$ との間にそれぞれ生ずる寄生容量である。

- 25 図 9 は、図 3 に示したレイアウト図上にこれらの寄生容量を書き込んで、寄生容量が発生する位置を模式的に示している。

寄生容量 $CSH1$, $CSH2$ は、高電圧側マッチ線 $HML2$ が、図 6 に示したように第一コンタクトの下部コンタクト 300 の部分で、サーチ線 $SL12$, $SL22$ にそれぞれ接続されたゲート電極を形成するポリシリコン層 104 の間を非常に近接して通過しているために発生する。

サイドウォール絶縁膜 105 の厚さは、最小加工寸法が $0.13\ \mu\text{m}$ の微細加工を用いる場合、 $30\ \text{nm}$ 程度である。一方、高電圧側マッチ線 HML 2 を形成する第二金属層 201 とサーチ線 SL 1 2、SL 2 2 を形成する第三金属層 202 との間の層間絶縁膜 500 の厚さは数百 nm である。したがって、寄生容量 CSH 1、

5 CSH 2 の大きさは、ゲート電極と第一コンタクトがサイドウォール絶縁膜 105 を挟む部分の形状でほぼ決まる。

容量 CNL 1、CNL 2 も同様に、低電圧側マッチ線 LML 1 が、第一コンタクトの下部コンタクト 300 の部分で、蓄積ノード N 1、N 2 にそれぞれ接続されたトランジスタ T 4、T 6 のゲート電極を形成するポリシリコン層 104 にそれぞれ

10 非常に近接して通過しているために発生する。このように構造が似ているため、寄生容量 CSH 1、CSH 2 の大きさと寄生容量 CNL 1、CNL 2 の大きさは、ほぼ等しい。

寄生容量 CNH 1、CNH 2 は、トランジスタ T 4、T 6 のゲート電極を形成するポリシリコン層 104 と高電圧側マッチ線 HML 2 を形成する第二金属層 20

15 1 との間の層間絶縁膜 500 によってそれぞれ発生する。

この部分の層間絶縁膜の厚さは、図 5 に示したキャパシタの高さにほぼ等しく、 $1\ \mu\text{m}$ 程度である。したがって、寄生容量 CNH 1、CNH 2 の大きさは、寄生容量 CNL 1、CNL 2 と比べると極めて小さい。

寄生容量 CSL 1、CSL 2 は、図 9 のレイアウトと図 6 のサーチ線 SL 1 2、

20 SL 2 2 と高電圧側マッチ線 HML 2 との位置関係から、低電圧側マッチ線 LML 2 を形成する第二金属層 201 とサーチ線 SL 1 2、SL 2 2 を形成する第三金属層 202 との間の層間絶縁膜 500 によって発生することが、容易に理解できる。したがって、寄生容量 CSL 1、CSL 2 の大きさは、寄生容量 CSH 1、CSH 2 と比べると極めて小さい。

25 なお、実際の構造では、寄生容量 CSL 1、CSL 2 に似た寄生容量がビット線対とマッチ線対との間に生ずることは、容易に理解できる。しかし、以下に述べる検索動作の説明を簡単にするために、図 8、および図 9 では、検索動作で活性化されるサーチ線対との間に寄生する容量に注目し、ビット線にとの間に生ずる寄生容量は省略している。

図 10 は、図 8 の簡易等価回路モデルを用いた図 1 によるメモリアレイ構成を示している。

以下では、第一行のエントリについての検索動作について、メモリセル MC 11 に注目して説明する。なお、メモリセル MC 11 は、記憶回路 STC に記憶情報' 1' を保持しているものと仮定する。この場合、蓄積ノードの論理値は $(N1, N2) = (1, 0)$ であり、蓄積ノード N1 は電源電圧 VDD、蓄積ノード N2 は接地電圧 VSS にそれぞれ保持されている。したがって、トランジスタ T4 は導通し、トランジスタ T6 はカットオフ状態にある。

はじめに、図 11 に従って、検索キーとエントリが同じ場合の検索動作を説明する。

まず、待機状態において、プリチャージイネーブル信号 PC を昇圧電圧 VDH に駆動してプリチャージ回路 PCH1 内のトランジスタ THN、TL を活性化することにより、高電圧側マッチ線 HML1 をプリチャージ電圧 VH、低電圧側マッチ線 LML1 をプリチャージ電圧 VL にそれぞれ駆動する。同図では、プリチャージ電圧 VH が電源電圧 VDD、プリチャージ電圧 VL が接地電圧 VSS の場合の動作タイミング例が示されている。また、昇圧電圧 VDH は、トランジスタ THN が十分に導通するように電源電圧 VDD よりも高い電圧に設定されており、例えば、トランジスタ THN のしきい電圧を V_{TN} とすると、 $VDH > VH + V_{TN}$ (ここでは、 $VDH > VDD + V_{TN}$) の関係にある。

検索動作が始まると、昇圧電圧 VDH となっているプリチャージイネーブル信号 PC を接地電圧 VSS に駆動することにより、プリチャージ回路 PCH1 におけるトランジスタ THN、TL の各々をカットオフ状態として、マッチ線 HML1、LML1 をフローティング状態とする。

続いて、サーチ線対を介して検索キーを入力する。メモリセル MC 11 の記憶情報と比較する検索キーの情報が '1' である場合、サーチ線の論理値は $(SL11, SL21) = (1, 0)$ であるので、接地電圧 VSS となっているサーチ線 SL11 が電源電圧 VDD に駆動され、サーチ線 SL21 は接地電圧 VSS に保持される。

ここで、高電圧側マッチ線 HML1 は寄生容量 CSH1、CSH2 を介してサーチ線 SL11、SL12、寄生容量 CNH1、CNH2 を介して蓄積ノード N1、

N 2にそれぞれ結合している。このうち、活性化されたサーチ線 S L 1 1 との結合により、高電圧側マッチ線 H M L 1 の電圧が上昇する。

すなわち、サーチ線駆動雑音が高電圧マッチ線 H M L 1 に発生する。なお、同図では省略されているが、実際の検索キーは複数のビットで構成された情報であるの

5 で、複数のサーチ線が同時に駆動されることによりサーチ線駆動雑音が重畳される。

したがって、同図に示したサーチ線駆動雑音 V N C は、サーチ線の駆動本数に依じた値となる。一方、低電圧側マッチ線 L M L 1 は、寄生容量 C N L 1, C N L 2 を介して蓄積ノード N 1, N 2、寄生容量 C S L 1, C S L 2 を介してサーチ線 S L 1 1, S L 1 2 とそれぞれ結合している。

10 このうち、サーチ線 S L 1 1 だけが駆動されるが、前述したように、寄生容量 C S L 1 は極めて小さいので、サーチ線 S L 1 1 との結合による低電圧側マッチ線 L M L 1 の電圧上昇は、高電圧側マッチ線 H M L 1 と比べて無視できるほど小さい。したがって、同図では、サーチ線 S L 1 1 を起動後の低電圧側マッチ線 L M L 1 の電圧を接地電圧 V S S としている。

15 さて、検索キーが入力されたことにより、メモリセル M C 1 1 のトランジスタ T 5 が導通されるが、トランジスタ T 6 がカットオフ状態にあるので、比較回路 C P の蓄積ノード N 2 側には電流が流れない。また、トランジスタ T 3 はカットオフ状態に保たれるので、蓄積ノード N 1 側にも電流が流れない。

すなわち、メモリセル M C 1 1 の比較回路 C P は一致状態にある。同様に、他の
20 メモリセル M C 1 s (s = 2, 3, …, n) においても各々の比較回路 C P が一致状態にあるならば、マッチ線対の接続は遮断された状態に保たれる。

したがって、高電圧側マッチ線 H M L 1 はプリチャージ電圧 V H 以上（ここでは電源電圧 V D D 以上）、低電圧側マッチ線 L M L 1 は接地電圧 V S S に保たれる。

この結果、マッチ判定回路 M D 1 は、高電圧側マッチ線 H M L 1 の電圧が参照電
25 圧 V R H に対して高く、正の比較信号電圧 (V S I G) 以上の電圧が発生されたことを弁別し、第一行のエントリが一致したことを検出する。

最後に、電源電圧 V D D となっているサーチ線 S L 1 1 を接地電圧 V S S に駆動し、さらに、接地電圧 V S S となっているプリチャージイネーブル信号 P C を昇圧電圧 V D H に駆動してマッチ線対をそれぞれプリチャージすることにより、検索動

作を終える。

なお、参照電圧 V_{RH} は、マッチ判定回路がプリチャージ電圧 V_H に保持された場合の高電圧側マッチ線電圧を正確に弁別できるように設定される。例えば、マッチ判定回路が比較信号を正確に弁別するのに必要な信号電圧を V_{SIG} と表すと、

5 $V_{RH} = V_H - V_{SIG}$ (ここでは、 $V_{RH} = V_{DD} - V_{SIG}$) に設定されている。

次に、図 12 に従って、検索キーとエントリが異なる場合の検索動作を説明する。

プリチャージしていたマッチ線対をフローティング状態としてから検索キーを入力する動作は、前述した通りである。以下では、メモリセル $MC11$ の記憶情報と比較する検索キーの情報が '0' である場合の検索動作を述べる。この場合、サーチ線の論理値は $(SL11, SL21) = (0, 1)$ であるので、サーチ線 $SL11$ が接地電圧 V_{SS} に保持されるのに対して、接地電圧 V_{SS} となっているサーチ線 $SL21$ が電源電圧 V_{DD} に駆動される。

10

ここで、図 11 と同様に、寄生容量 C_{SH2} を介したサーチ線 $SL21$ との結合により、高電圧側マッチ線 $HML1$ の電圧が上昇する。

15 さて、検索キーが入力されたことにより、メモリセル $MC11$ のトランジスタ $T3$ が導通されるので、比較回路 CP の蓄積ノード $N1$ 側に電流経路が形成されることにより、マッチ線対が短絡される。すなわち、電源電圧 V_{DD} にプリチャージされていた高電圧側マッチ線 $HML1$ は中間電圧 $V_{DD}/2$ 付近に向かって放電され、接地電圧 V_{SS} にプリチャージされていた低電圧側マッチ線 $LML1$ は中間電

20 圧 $V_{DD}/2$ 付近に向かって充電される。

この結果、マッチ判定回路 $MD1$ は、高電圧側マッチ線 $HML1$ の電圧が参照電圧 V_{RH} より V_{SIG} だけ下回ることにより、負の比較信号電圧 ($-V_{SIG}$) が発生されたことを弁別し、第一行のエントリが不一致であったと判定する。

最後に、電源電圧 V_{DD} となっているサーチ線 $SL21$ を接地電圧 V_{SS} に駆動し、さらに、接地電圧 V_{SS} となっているプリチャージイネーブル信号 PRE を昇圧電圧 V_{DH} に駆動してマッチ線対をそれぞれプリチャージすることにより、検索動作を終える。

25

なお、同図では、ワースト条件における動作タイミングを説明するために、他のメモリセル $MC1s$ ($s = 2, 3, \dots, n$) が一致状態にある場合のマッチ線

対波形を示している。

しかし、他のメモリセル $MC1s$ ($s = 2, 3, \dots, n$) が不一致状態にあるならば、マッチ線対は複数のメモリセルに形成された電流経路によって短絡されるので、図示された波形よりも早く中間電圧 $VDD/2$ 付近に到達することは明らかである。すなわち、高電圧マッチ線 $HML1$ は、図示された比較時間 $t2$ よりも
5 短い時間で電圧レベル($VR - VSIG$)に到達する。

また、本実施例ではメモリセルの構造で述べたように、マッチ線対の寄生容量が等しくなるように設計しているが、マッチ検出回路が一方の高電圧側マッチ線 $HML1$ だけに接続されているために生じる負荷容量の不平衡や、サーチ線駆動雑音が
10 一方の高電圧側マッチ線 $HML1$ だけに発生することを考慮して、短絡後のマッチ線対の電圧は中間電圧 $VDD/2$ 付近と説明した。

以上で述べたメモリアレイの構成と動作による効果を、以下にまとめる。

第一の効果は、消費電力を低減することができる点にある。本メモリアレイでは、それぞれ異なる電圧にプリチャージしていたマッチ線対をフローティング状態と
15 してから、サーチ線対を介して検索キーを入力することによって、情報の比較結果に応じた信号をチャージシェア動作によって高電圧側マッチ線に発生するので、高電圧側マッチ線の電圧振幅をマッチ線対のプリチャージ電圧差の半分程度にまで抑制することができる。したがって、マッチ線のプリチャージ動作に要する電力を低減することが可能となる。

20 第二の効果は、検索動作に要する時間を短縮することができる点にある。マッチ線対は、寄生容量 $CSH1$, $CSH2$, $CSL1$, $CSL2$ を介してサーチ線対と結合しているので、マッチ線対にはサーチ線駆動雑音が発生する。しかし、寄生容量 $CSL1$, $CSL2$ が極めて小さいので、低電圧側マッチ線の電圧上昇は無視できるほど小さい。したがって、情報の比較を行うトランジスタ $T3$, $T4$, $T5$,
25 $T6$ は、ゲートソース間電圧の低下あるいは基板バイアス効果によるしきい電圧の上昇による駆動能力の低下を回避することができるので、比較時間を短縮することができる。すなわち、検索動作に要する時間を短縮することが可能となる。

第三の効果は、汎用 $DRAM$ で広く用いられている自己整合プロセスを導入することにより、マスクの合せ余裕を削減できる点にある。まず、トランジスタ $T3$,

T 5 のゲート電極をL字型に形成し、トランジスタT 4, T 6 のゲート電極と二本のワード線とを最小間隔で配置する。また、トランジスタT 3, T 4, T 5, T 6 のゲート電極を互いに平行に最小間隔で配置する。以上のレイアウトにより、第一および第三コンタクトを、自己整合プロセスを用いてゲート電極の間に形成することができるので、メモリセルの面積を抑制することが可能となる。

第四の効果は、汎用D R A Mと同じ加工工程でT D C A Mセルを形成することができる点にある。すなわち、メモリアレイの外側に配置された回路ブロックと同じように、第一および第三コンタクトと第一金属層とを用いてメモリセルの内部ノードの接続を実現することができるので、汎用D R A Mの加工工程をそのまま適用することができる。

第五の効果は、ビット線対やサーチ線対、マッチ線対とメモリセルとの接続部分を隣接するメモリセルと共有することにより、セル面積を抑制することができる点である。

第六の効果は、マッチ線対の負荷容量をほぼ同じ大きさにすることができる点にある。すなわち、まず、低電圧側マッチ線とメモリセルとの接続部分を隣接するメモリセルと共有し、マッチ線対を同じ第二金属層を用いて形成することにより、サイドウォール絶縁膜によって低電圧側マッチ線に生ずる寄生容量を高電圧側マッチ線と同数にしながら、マッチ線対の負荷容量をほぼ同じ値にすることができるので、短絡後のマッチ線対の電圧をほぼ中間電圧 $VDD/2$ にすることができる。したがって、十分な大きさの比較信号電圧を発生しつつ、マッチ線対の電圧振幅を電源電圧 VDD のほぼ半分に抑制する安定なチャージシェア動作を実現することが可能になる。以上の六つの効果により、検索動作を低電力かつ高速に行う大容量T C A Mを実現することができる。

次に、図13に従って、メモリアレイの構成の他の例を説明する。

この構成の特徴は、図1のメモリアレイと同じ構成のメモリセルを用いながら、マッチ判定回路 MD_r ($r = 1, 2, \dots, m$)を低電圧側マッチ線 $LM L_r$ ($r = 1, 2, \dots, m$)に接続している点にある。

図14は、図8、および図9で述べたメモリセルの簡易等価回路モデルを図13に適用した場合のメモリアレイ構成を示している。以下では、図15、および図1

6に従って、図14のメモリアレイにおける検索動作を説明する。

図15は、検索キーとエントリが一致する場合の検索動作タイミングを示している。図11と同様に、メモリセルMC11における記憶情報（エントリ）‘1’と検索キー‘1’とを比較するために、プリチャージしていたマッチ線対をフローティング状態としてから、接地電圧VSSとなっているサーチ線SL11を電源電圧VDDに駆動する。

この時、比較回路CPが一致状態にあるので、マッチ線対の接続は遮断された状態に保たれる。したがって、寄生容量CSH1を介してサーチ線SL11と結合している高電圧側マッチ線HML1は、サーチ線駆動雑音によりプリチャージ電圧VH（ここでは、電源電圧VDD）より高い電圧に持ち上げられたまま保たれる。一方、低電圧側マッチ線LML1は、寄生容量CSL1を介してサーチ線SL11と結合しているが、その結合が弱いためにサーチ線駆動雑音が無視できるほど小さいので、ほぼプリチャージ電圧（ここでは、接地電圧VSS）に保持される。

図15では、参照電圧VRLが、接地電圧VSSよりもVSIGだけ高い電圧に設定されており、マッチ判定回路MD1は、この参照電圧VRLに対して負の比較信号（ここでは-VSIG）が低電圧側マッチ線LML1に発生されたことを弁別して、第一エントリが一致したと判定する。

図16は、検索キーとエントリが異なる場合の検索動作タイミングを示している。

図12と同様に、メモリセルMC11における記憶情報（エントリ）‘1’と検索キー‘0’とを比較するために、プリチャージしていたマッチ線対をフローティング状態としてから、接地電圧VSSとなっているサーチ線SL21を電源電圧VDDに駆動する。

この時、比較回路CPが不一致状態となるので、マッチ線対が短絡されることにより低電圧側マッチ線LML1は中間電圧VDD/2付近に向かって充電される。したがって、低電圧側マッチ線LML1が参照電圧VRLをVSI Gだけ上回ったタイミング、すなわちサーチ線を駆動してから時間t3を経過したタイミングで、マッチ判定回路MD1は、低電圧側マッチ線LML1に正の比較信号（ここではVSI G）が発生されたことを弁別して、第一エントリが不一致であったと判定する。

以上の構成と動作による効果は、図1のメモリアレイよりも短い時間で検索動作

を行うことができる点にある。すなわち、図 1 1 で説明したように図 1 のメモリアレイ構成では、不一致状態の高電圧側マッチ線の電圧が、サーチ線駆動雑音により一旦上昇してから放電されるので、負の比較信号（-V S I G）を発生するまでに要する時間（比較時間 T_2 ）が長い。

- 5 一方、低電圧側マッチ線はサーチ線駆動雑音の影響をほとんど受けずに充電されるので、図 1 6 に示した比較時間 t_3 は、時間 t_2 よりも短い。したがって、図 1 4 のように、低電圧側マッチ線にマッチ判定回路を接続した構成の方が、検索動作を一層短時間で行うことが可能となる。

（実施の形態 2）

- 10 本実施の形態 2 においては、メモリアレイにおける他の構成と動作を説明する。図 1 7 は、本実施例によるメモリアレイを示しており、図 1 3 と同様に $m \times n$ ビットのメモリセルを有する構成が示されている。また、メモリセルは二つのキャパシタと六つのトランジスタで構成される。

- 15 図 1 7 の構成の特徴は、複数のワード線 WL_r ($r = 1, 2, \dots, m$) および複数のマッチ線対に直交するように複数のデータ線 DL_1s, DL_2s ($s = 1, 2, \dots, n$) を配置し、これらの交点にメモリセルを配置する点にある。以下では、対応する二本のデータ線をデータ線対と呼ぶことにする。

- 20 これらのデータ線は接続されるメモリセルに応じて対をなし、読み書き回路ブロック RWB にそれぞれ接続される。読み書き回路ブロック RWB は、前記実施の形態 1 の図 1 で述べたように、データ線にそれぞれ接続された複数のセンスアンプとプリチャージ回路で構成される。

- 25 ただし、これらのセンスアンプは、記憶情報（エントリ）または比較情報（検索キー）に応じた電圧にデータ線をそれぞれ駆動する。すなわち、二値情報（情報' 1' および情報' 0' ）に対して駆動されるデータ線対の極性は、エントリの場合と検索キーの場合とで逆になることは、表 1 の真理値表から容易に理解することができる。

このような構成により、図 1 3 や図 1 に示すような、列方向のサーチ線対を駆動するサーチ線駆動回路 SLD を取り除くことができ、アレイ面積を低減することが可能である。

なお、同図では、マッチ判定回路MDs (1, 2, ..., m) を低電圧側マッチ線LMLs (1, 2, ..., m) に接続した構成を示しているが、高電圧側マッチ線HMLs (1, 2, ..., m) に接続した構成も可能である。

しかし、前記実施の形態1で述べたように、図17に示した構成の方が、検索時
5 間の短縮に好適である。また、実施の形態1の図2から図7で説明したようなメモ
リセルのレイアウトおよび構造を適用することにより、面積の小さなメモリセルを
実現することが可能である。

(実施の形態3)

これまでは、図15や図16に示したように、サーチ線対と蓄積ノード、すなわ
10 ちサーチ線対とビット線対との電圧振幅が等しく、接地電圧VSSから電源電圧V
DDまでとして、種々のメモリアレイ構成とその検索動作を説明してきた。本実施
の形態3においては、これらのメモリアレイにおける別の電圧設定について説明す
る。

図18は、本実施の形態3におけるメモリアレイのブロック図を、それぞれに供
15 給される電源電圧と共に示している。

このメモリアレイは、一例として、図13のメモリアレイ構成をブロック化した
ものであり、メモリアレイMAの周囲に、複数のプリチャージ回路で構成されるプ
リチャージ回路ブロックPB、複数のマッチ検出回路で構成されるマッチ検出回路
MDB、ロウデコーダXDEC、サーチ線駆動回路SLD、読み書き回路ブロック
20 RWBとが配置された構成である。

また、プリチャージイネーブル信号PCを駆動するプリチャージイネーブル信号
駆動回路PCDと電源電圧発生回路VGEN、アレイ制御回路ACTLがそれぞれ
追加されている。

本実施の形態3における特徴は、電源電圧発生回路VGENを用いて、サーチ線
25 の高電圧レベルとなる電源電圧VDDよりも高いビット線電圧VBLを発生して、
論理値‘1’の蓄積ノードの電圧を電源電圧VDDよりも高い電圧に駆動すること
により、記憶情報の読み出し動作を正確に行うことにある。

以下では、この点に注目してメモリアレイ構成とリフレッシュ動作を説明する。

まず、電源電圧発生回路VGENは、チップ外部から入力される電源電圧VDD

および接地電圧 V_{SS} を受けて、昇圧電圧 V_{DH} 、 V_{PP} 、ビット線電圧 V_{BL} 、参照電圧 V_{RL} 、 V_{BLR} 、プリチャージ電圧 V_H 、 V_L をそれぞれ出力する。

5 検索動作に用いられる4つの回路ブロックのうち、第一の回路ブロックであるサーチ線駆動回路 S_{LD} は電源電圧 V_{DD} と接地電圧 V_{SS} をそれぞれ受けて、サーチ線対を接地電圧 V_{SS} から電源電圧 V_{DD} にそれぞれ駆動する。

第二の回路ブロックであるプリチャージイネーブル信号駆動回路 P_{CD} は、昇圧電圧 V_{DH} と接地電圧 V_{SS} をそれぞれ受けて、プリチャージイネーブル信号 P_C を接地電圧 V_{SS} から昇圧電圧 V_{DH} に駆動する。ここで、昇圧電圧 V_{DH} は、実施の形態1で述べたように電源電圧 V_{DD} よりプリチャージ回路ブロック P_B 内のNMOSトランジスタのしきい電圧 V_{TN} よりも高い電圧に設定されている。

15 第三の回路ブロックであるプリチャージ回路ブロック P_B は、プリチャージ電圧 V_H 、 V_L を受けて、プリチャージイネーブル信号 P_C に応じて、高電圧側マッチ線 HML_r ($r = 1, 2, \dots, m$) をプリチャージ電圧 V_H 、低電圧側マッチ線 LML_r ($r = 1, 2, \dots, m$) をプリチャージ電圧 V_L にそれぞれ駆動する。

第四の回路ブロックであるマッチ判定回路ブロック MDB は、基準電圧 V_{RL} を受けて、低電圧側マッチ線 LML_r ($r = 1, 2, \dots, m$) に発生された比較信号をそれぞれ弁別する。このような回路構成と電圧設定により、図15、および図16で述べたような検索動作を実現する。

20 次に、読み書き動作およびリフレッシュ動作に用いられる三つの回路ブロックについて説明する。第一の回路ブロックであるローデコーダ $XDEC$ は、昇圧電圧 V_{PP} と接地電圧 V_{SS} をそれぞれ受けて、ロウアドレスに応じた電圧にワード線 WL_r ($r = 1, 2, \dots, m$) をそれぞれ駆動する。第二の回路ブロックであるアレイ制御回路 $ACTL$ は、電源電圧 V_{DD} 、接地電圧 V_{SS} 、ビット線電圧 V_{BL} 、参照電圧 V_{BLR} をそれぞれ受けて、アドレスの入力タイミングに応じて、共通ソース線 CSP 、 CSN 、ビット線イコライズ信号 $BLEQ$ 、読み書きイネーブル信号 RWE をそれぞれ駆動する。

第三の回路ブロックである読み書き回路ブロック RWB は、共通ソース線 CSP 、 CSN 、ビット線イコライズ信号 $BLEQ$ 、読み書きイネーブル信号 RWE 、参照

電圧VBLRをそれぞれ受けて、記憶情報（エントリ）に応じた電圧にビット線対をそれぞれ駆動する。

図19は、読み書き回路ブロックRWBの要素回路の構成例として、ビット線BL11に配置される読み書き回路RWC11を示している。センスアンプSAは、
5 二つのPMOSトランジスタT10、T11と二つのNMOSトランジスタT12、T13とで構成される、汎用DRAMで公知のクロスカップル型ラッチである。

トランジスタT10、T11のソースが共通ソース線CSP、トランジスタT12、T13のソースが共通ソース線CSNにそれぞれ接続され、ビット線BL11とダミービット線BLD11との間に発生した微小電圧差を弁別および増幅する。

10 イコライズ回路PEは、三つのNMOSトランジスタT20、T21、T22で構成される公知の構成であり、ビット線イコライズ信号BLEQに応じて、ビット線BL11、およびダミービット線BLD11を参照電圧VBLRにそれぞれ駆動する。

15 カラムスイッチ回路YSWは、NMOSトランジスタT30、T31で構成され、読み書きイネーブル信号RWEに応じてビット線BL11と入出力線IOT11、ダミービット線BLD11と入出力線IOB11とをそれぞれ接続する。

なお、ダミー容量CDは、ビット線BL11に発生する微小電圧を正確に分別および増幅するために、ビット線BL11とダミービット線BLD11との負荷容量が等しくなるように設計した容量である。

20 このような構成のメモリアレイにおけるリフレッシュ動作について、図20に従って、以下に説明する。ここでは、図15や図16の説明と同じように、図18のメモリアレイMAにおけるメモリセルMC11が記憶情報‘1’を保持しており、図13におけるメモリセルMC11の蓄積ノードN1の論理値が‘1’であると仮定する。

25 はじめに、ビット線イコライズ信号BLEQを昇圧電圧VPPに駆動して、イコライズ回路PE内のトランジスタを導通させることにより、ビット線BL11とダミービット線BLD11を参照電圧VBLRにそれぞれ駆動する。

ここで、昇圧電圧VPPは、トランジスタT20、T21、T22のソースードレイン間電圧が、これらのしきい電圧VTN1よりも十分大きな値となるように、

ビット線電圧 V_{BL} に対してしきい電圧 V_{TN1} よりも高い電圧に設定されている。すなわち、 $V_{PP} > V_{BL} + V_{TN1}$ の関係にある。

次に、昇圧電圧 V_{PP} となっているビット線イコライズ信号 $BPRE$ を接地電圧 V_{SS} に駆動することにより、イコライズ回路 PE をカットオフ状態とし、接地電
5 圧 V_{SS} となっているワード線 $WL1$ を昇圧電圧 V_{PP} に駆動すると、図 13 のメモ
リセル $MC11$ におけるトランジスタ $T1$ が導通することにより、ビット線 BL
 11 に微小電圧が発生する。

さらに、参照電圧 V_{BLR} となっている共通ソース線 CSP をビット線電圧 V_{BL}
 L 、共通ソース線 CSN を接地電圧 V_{SS} にそれぞれ駆動してセンスアンプ SA を
10 起動することにより、微小信号を弁別および増幅する。

ここでは、参照電圧 V_{BLR} はビット線電圧 V_{BL} と接地電圧 V_{SS} との中間電
圧 $V_{BL}/2$ に設定されており、メモリセル $MC11$ の蓄積ノード $N1$ の論理値
‘1’ に応じて、ビット線 $BL11$ の電圧が僅かに上昇する例が示されている。

したがって、センスアンプ SA は、ビット線 $BL11$ とダミービット線 $BLD1$
15 1 の電圧を弁別して、ビット線 $BL11$ をビット線電圧 V_{BL} 、ダミービット線 B
 $LD11$ を接地電圧 V_{SS} にそれぞれ駆動する。

また、同時に、図示されていない蓄積ノード $N1$ をビット線電圧 V_{BL} 付近に駆
動する。最後に、昇圧電圧 V_{PP} となっているワード線 WL を接地電圧 V_{SS} に駆
動してメモリセル内のトランジスタ $T1$ をカットオフ状態としてから、接地電圧 V
20 SS となっているイコライズ信号 $BLEQ$ を昇圧電圧 V_{PP} に駆動してプリチャ
ージ回路 PE を活性化することにより、ビット線 $BL11$ とダミービット線 BLD
 11 を参照電圧 V_{BLR} にそれぞれ駆動してリフレッシュ動作を終える。

以上の構成と動作から、図 18 に示したメモリアレイでは、次のような効果が得
られる。すなわち、電圧発生回路 $VGEN$ を用いてサーチ線の高電圧レベル（ここ
25 では電源電圧 V_{DD} ）よりも高いレベルの電圧（ここではビット線電圧 V_{BL} ）を
発生し、アレイ制御回路 $ACTL$ を介して読み書き回路ブロック RWB に供給する
ことにより、ビット線をサーチ線よりも高い電圧に駆動することができる。

したがって、電源電圧 V_{DD} を低くした場合においても、蓄積ノードを十分高い
電圧に駆動することができる。すなわち、ノイズマージンの大きな安定した読み書

き動作およびリフレッシュ動作を維持しつつ、検索動作における消費電力を一層低減することが可能となる。

5 これまでは、電源電圧VDDに対して高いビット線電圧VBLを発生するメモリアレイ構成と動作を示したが、反対に電源電圧VDDをビット線ならびに蓄積ノードの高電圧レベルとして、電源電圧VDDよりも低い電圧を発生してサーチ線の高電圧レベルとすることも可能である。しかし、TCAMでは、検索動作を高速に行うことが求められており、サーチ線を高速に駆動するためには、外部から入力される安定な電源電圧VDDをサーチ線の高電圧レベルとするのが望ましい。よって、図18の構成が最適である。

10 また、図19では、ダミービット線BLD11にダミー容量CDを接続した読み書き回路構成を示した。しかし、図18では、読み書き回路ブロックRWBを二つのメモリアレイで共有する構成も可能である。この構成は、汎用DRAMで広く知られている開放ビット線構成から容易に理解できる。この場合、ダミービット線BLD11には、ビット線BL11と同数のメモリセルが接続されるので、ダミー容量CDがなくともビット線の負荷容量を揃えることができる。すなわち、回路設計
15 が容易になり、読み出し動作およびリフレッシュ動作を安定に行うことができる。

さらに、図13の構成を例に、ビット線の高電圧レベルをサーチ線よりも高い値に設定したメモリアレイの構成と動作について説明してきたが、この電圧設定は、図1や図17のメモリアレイ構成にも適用できて、同様の効果が得られる。

20 なお、図17に適用する場合、マッチ判定回路が高電圧側マッチ線に発生した比較信号電圧を弁別できるように、電源電圧発生回路VGENは、基準電圧VRLの代わりにVRHを発生して、マッチ判定回路ブロックMDBに供給する。また、図17に適用する場合、データ線対の高電圧レベルは、動作に応じて、検索動作の時には電源電圧VDD、読み書き動作ならびにリフレッシュ動作の時にはビット線電
25 圧VBLに切り替えられることは、容易に理解できる。

以上、図20ではリフレッシュ動作について述べた。しかし、読み出し動作や書き込み動作においては、活性化したワード線を立ち下げる前に、接地電圧VSSとなっている読み書きイネーブル信号RWEを電源電圧VDDに駆動することにより、図19のカラムスイッチYSWを活性化して、ビット線BL11を入出力線I

O T 1 1、ダミービット線 B L D 1 1 を入出力線 I O B 1 1 にそれぞれ接続して、記憶情報をメモリアレイの外部に読み出したり、入力された記憶情報をメモリセルに書き込んだりすることは、汎用 D R A M の構成および動作から容易に理解できる。

また、本実施の形態 3 による電圧設定は、前述した実施の形態 1 や実施の形態 2
5 のメモリアレイに限らず、図 2 1 のメモリセルを用いたメモリアレイにも適用することが可能である。

この場合も、図 1 8 と同様に、蓄積ノードを十分高い電圧に駆動して、ノイズマージンの大きな安定した読み書き動作およびリフレッシュ動作を可能にしつつ、電源電圧 V D D を低くすることによって、検索動作における消費電力を一層低減する
10 ことが可能となる。

以上、実施の形態 1 ～ 3 に従い、種々のメモリアレイ構成による T C A M について説明してきたが、本発明は T C A M に限らず、音声認識や画像認識などで用いられるバイナリ・コンテンツ・アドレスサブル・メモリにも適用することが可能である。

15 また、本発明による T C A M は、オフチップすなわち単体デバイスに限らず、所謂システム・オン・チップ (S o C) と呼ばれるシステム L S I に搭載される T C A M ブロックにも適用することが可能である。

さらに、本発明は、二つのトランジスタと二つのキャパシタで構成される記憶回路を有するメモリセルに限らず、六つのトランジスタで構成される公知のスタティック・ランダム・アクセス・メモリ (S R A M) で構成される記憶回路を有するメモリセルからなるメモリアレイにも適用することが可能である。いずれの場合も、各実施例で述べたのと同じような効果を得ることが可能である。
20

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。
25

産業上の利用可能性

以上のように、本発明にかかる半導体集積回路装置は、チャージシェア動作によりマッチ線対に比較信号電圧を発生し、サーチ線との間に寄生する容量が小さい方

の低電圧側マッチ線に発生した比較信号をマッチ判定回路で弁別することにより、サーチ線駆動雑音の影響を回避した検索動作を可能とし、検索動作を低電力かつ高速に行う技術に適している。

請求の範囲

1. 複数のマッチ線対と、前記複数のマッチ線対に交差する複数のサーチ線対と、
前記複数のマッチ線対と前記複数のサーチ線対との交点に配置された複数のメモ
5 リセルとを有する半導体集積回路装置であって、

前記複数のマッチ線対は、プリチャージ回路を有し、

前記複数のプリチャージ回路は、前記マッチ線対のうち第一のマッチ線を第1の
電圧、第二のマッチ線を第1の電圧よりも低い第2の電圧にそれぞれ駆動し、

前記複数のメモリセルは、記憶回路と比較回路とを有し、

10 前記比較回路は、第一、および第二のMOSトランジスタを有し、

前記第一、および第二のMOSトランジスタのゲート電極は、前記複数のサーチ
線にそれぞれ接続され、

前記第一、および第二のMOSトランジスタのソースあるいはドレインのいずれ
か一方の電極が前記複数の第一のマッチ線にそれぞれ接続されることを特徴とす
15 る半導体集積回路装置。

2. 請求項1記載の半導体集積回路装置において、

前記第一のMOSトランジスタのソースドレインは前記第一のマッチ線の間
の第一の電流経路に含まれ、

前記第二のMOSトランジスタのソースドレインは前記第二のマッチ線の間
20 の第二の電流経路に含まれ、

前記比較回路は、さらに前記記憶回路に保持された情報と前記複数のサーチ線を
介して入力された情報とを比較した結果に応じた信号電圧を前記複数のマッチ線
対に発生することを特徴とする半導体集積回路装置。

3. 請求項2記載の半導体集積回路装置において、

25 前記複数のサーチ線対と前記複数の第一のマッチ線との間に寄生する第一、およ
び第二の結合容量は、前記複数のサーチ線対と前記複数の第二のマッチ線との間に
寄生する第三および第四の結合容量よりも大きいことを特徴とする半導体集積回
路装置。

4. 請求項3記載の半導体集積回路装置において、

複数のマッチ判定回路が前記複数の第二のマッチ線にそれぞれ配置され、

前記複数のマッチ判定回路は、前記複数の第二のマッチ線の電圧を弁別することにより、情報の比較結果を判定することを特徴とする半導体集積回路装置。

5. 請求項 4 記載の半導体集積回路装置において、

5 前記記憶回路は、二つのトランジスタと二つのキャパシタとを有することを特徴とする半導体集積回路装置。

6. 複数のマッチ線対と、前記複数のマッチ線対に交差する複数のサーチ線対と、前記複数のマッチ線対と前記複数のサーチ線対との交点に配置された複数のメモリセルとを有する半導体集積回路装置であって、

10 前記複数のマッチ線対は、プリチャージ回路を有し、

前記複数のプリチャージ回路は、前記マッチ線対のうち第一のマッチ線を第 1 の電圧、第二のマッチ線を第 1 の電圧よりも高い第 2 の電圧にそれぞれ駆動し、

前記複数のメモリセルは、記憶回路と比較回路とを有し、

前記比較回路は、

15 前記複数のマッチ線対の間に第一の電流経路を形成するように直列接続された第一、および第二の MOS トランジスタと、

第二の電流経路を形成するように直列接続された第三、および第四の MOS トランジスタとを有し、

前記第一、および第三の MOS トランジスタのゲート電極は、前記複数のサーチ

20 線にそれぞれ接続され、

前記第一および第三の MOS トランジスタのソースあるいはドレインのいずれか一方の電極は、自己整合プロセスで形成されたコンタクトによって前記複数の第一のマッチ線にそれぞれ接続され、

25 前記第二および第四の MOS トランジスタのゲート電極は、前記記憶回路にそれぞれ接続され、

前記第二および第四の MOS トランジスタのソースあるいはドレインのいずれか一方の電極は、自己整合プロセスで形成されたコンタクトによって前記複数の第二マッチ線にそれぞれ接続されることを特徴とする半導体集積回路装置。

7. 請求項 6 記載の半導体集積回路装置において、

前記複数のサーチ線対と前記複数の第一のマッチ線との間に寄生する第一および第二の結合容量は、主に前記コンタクトによってそれぞれ発生し、

前記複数のサーチ線対と前記複数の第二のマッチ線との間に寄生する第三および第四の結合容量は、主に前記複数のサーチ線対を形成する第一の金属層と前記複数の第二のマッチ線を形成する第二の金属層との間に形成される層間絶縁膜によってそれぞれ発生し、

前記第一および第二の結合容量は、前記第三および第四の結合容量よりも大きいことを特徴とする半導体集積回路装置。

8. 複数の第一のマッチ線と、前記複数の第一のマッチ線に交差する複数のサーチ線対と、前記複数のサーチ線対に平行な複数のビット線対と、前記複数の第一のマッチ線と前記複数のサーチ線対との交点に配置された複数のメモリセルとを有する半導体集積回路装置であって、

前記複数のメモリセルは、記憶回路と比較回路とを有し、

前記記憶回路は、前記複数のビット線対に接続され、

15 前記比較回路は、前記複数のサーチ線対と前記複数の第一のマッチ線に接続され、前記複数のビット線対の電圧振幅は、前記複数のサーチ線対よりも大きいことを特徴とする半導体集積回路装置。

9. 請求項 8 記載の半導体集積回路装置において、

前記複数の第一のマッチ線に平行な複数の第二のマッチ線を有し、

20 前記複数の第一のマッチ線と前記複数の第二のマッチ線が対をなした複数のマッチ線対は、プリチャージ回路を有し、

前記複数のプリチャージ回路は、前記マッチ線対のうち第一のマッチ線を第 1 の電圧、第二のマッチ線を第 1 の電圧よりも低い第 2 の電圧にそれぞれ駆動し、

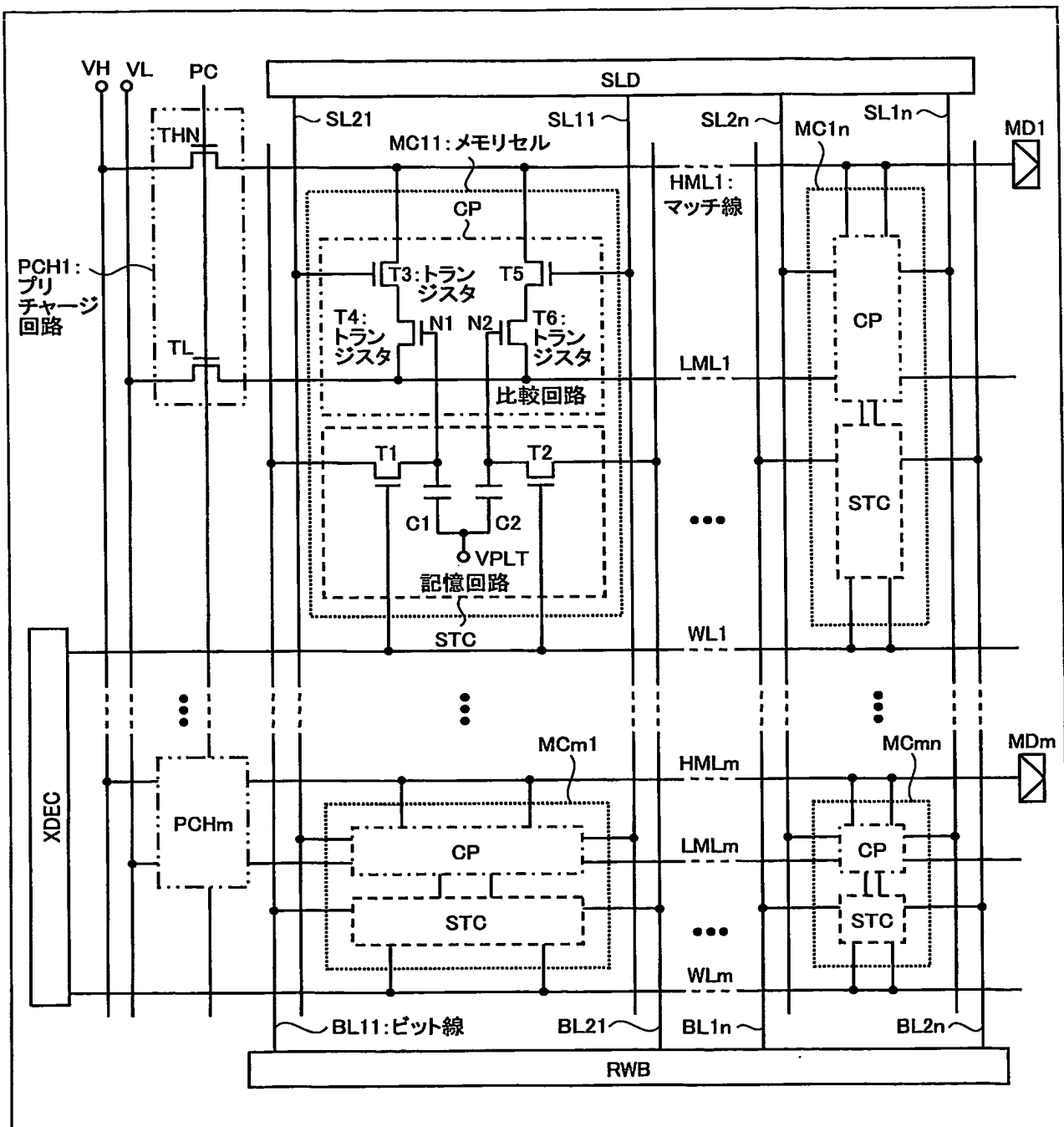
25 前記比較回路は、前記複数のマッチ線対の間に挿入され、前記記憶回路に保持された情報と前記複数のサーチ線を介して入力された情報とを比較した結果に応じた信号電圧を前記複数のマッチ線対に発生することを特徴とする半導体集積回路装置。

10. 請求項 9 記載の半導体集積回路装置において、

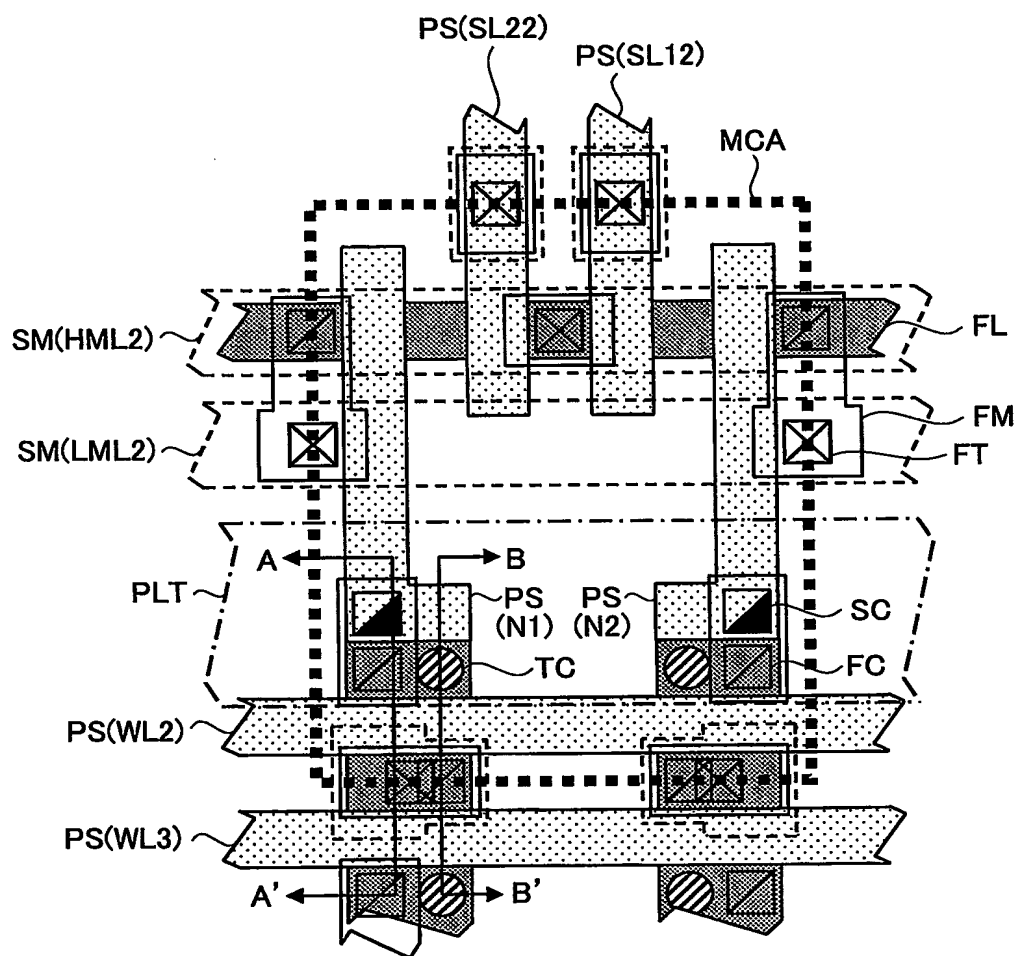
前記記憶回路は、二つのトランジスタと二つのキャパシタとを有することを特徴

とする半導体集積回路装置。

図 1



2



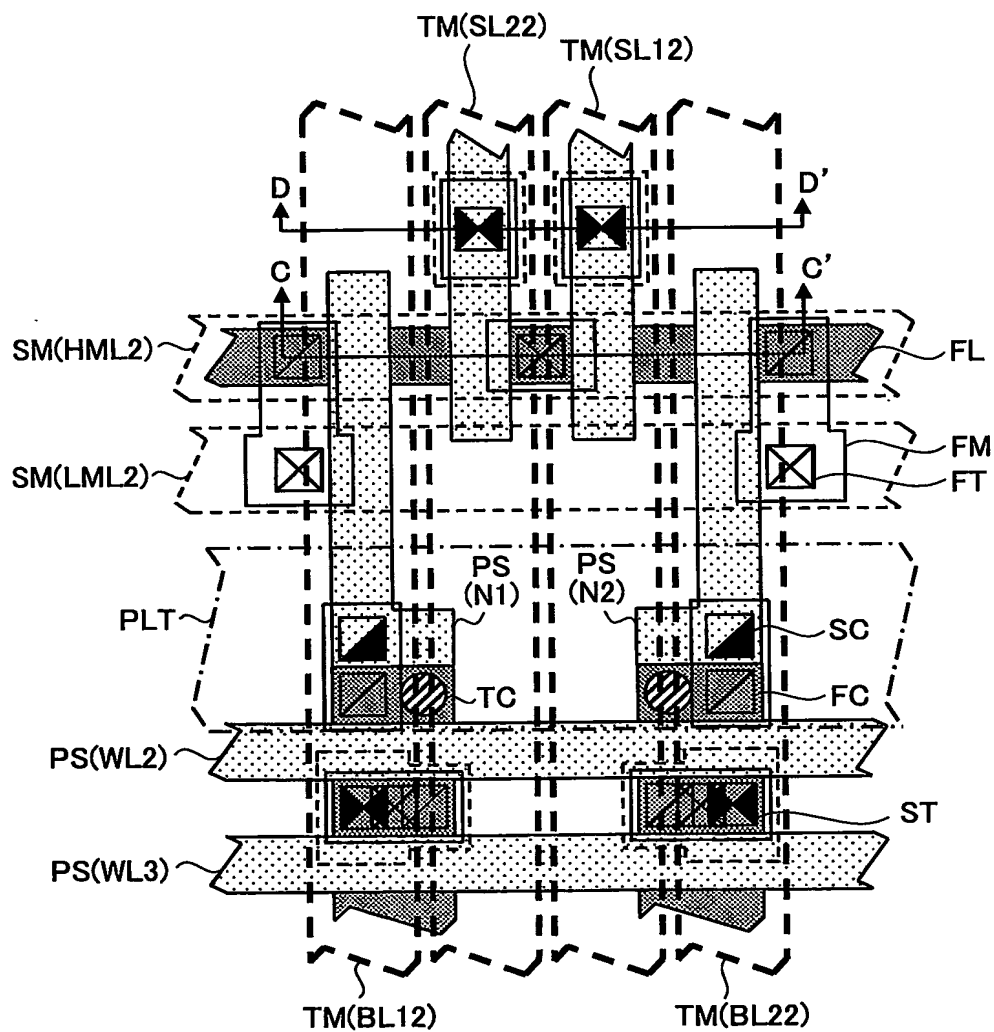


図 4

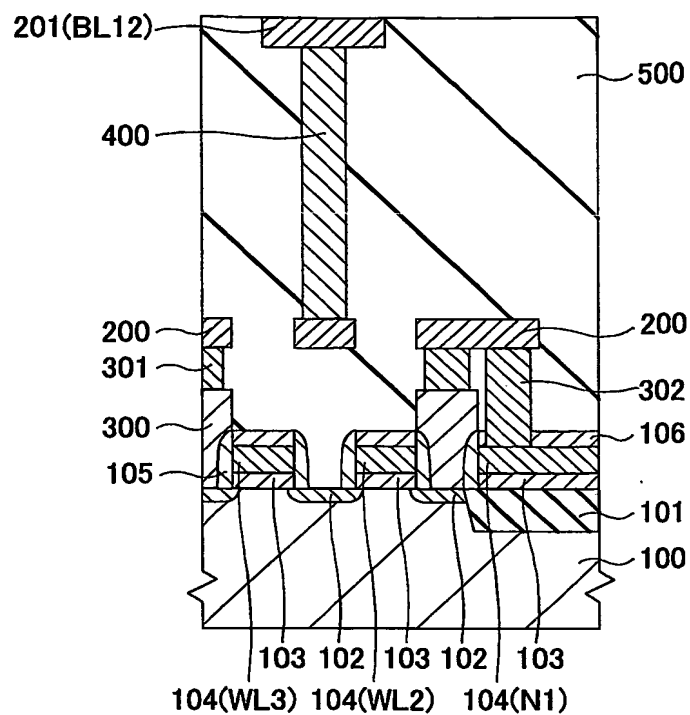
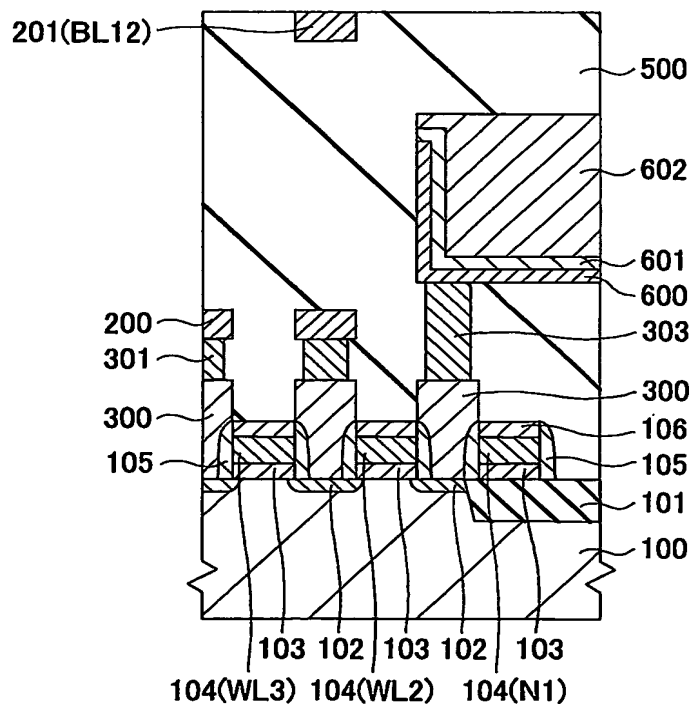


図 5



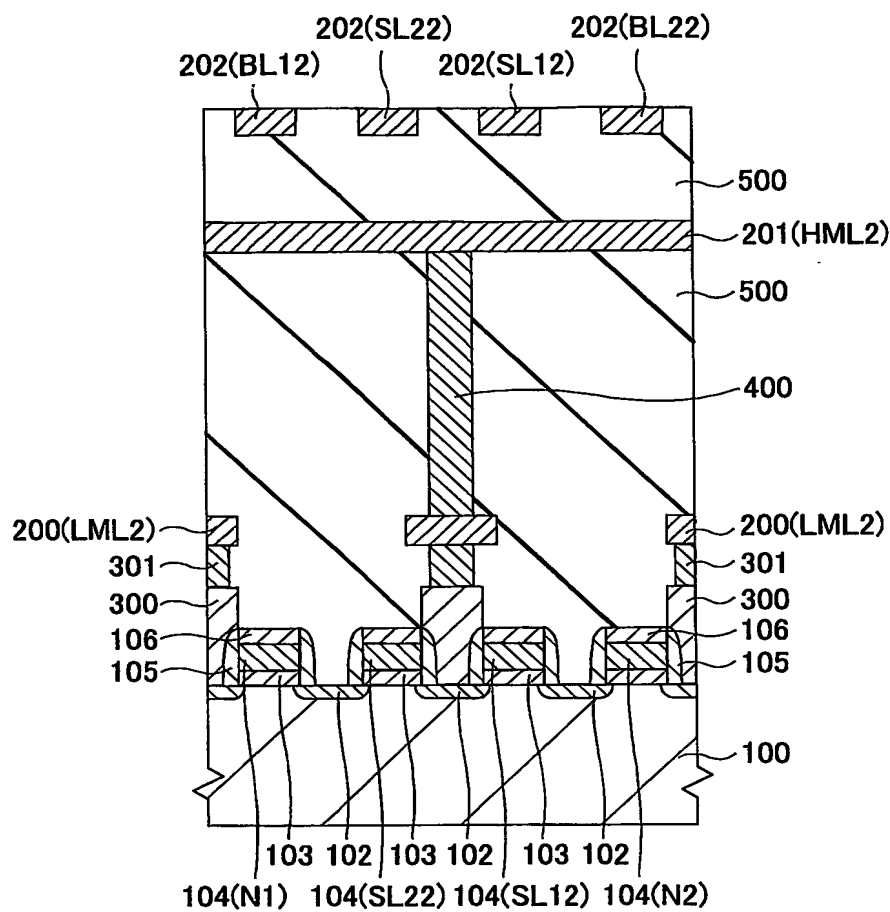
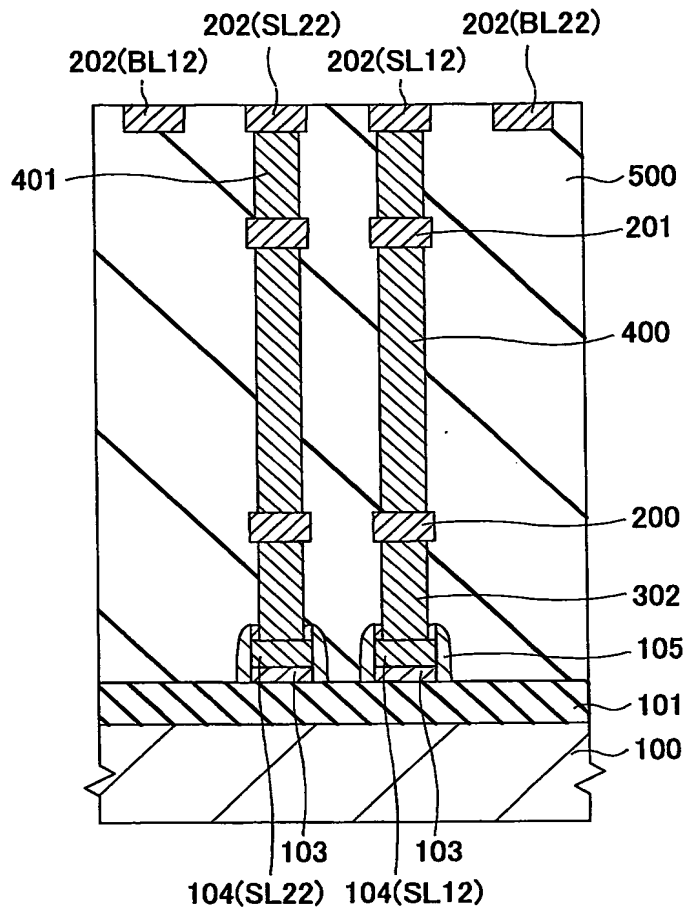


図 7



凶 8

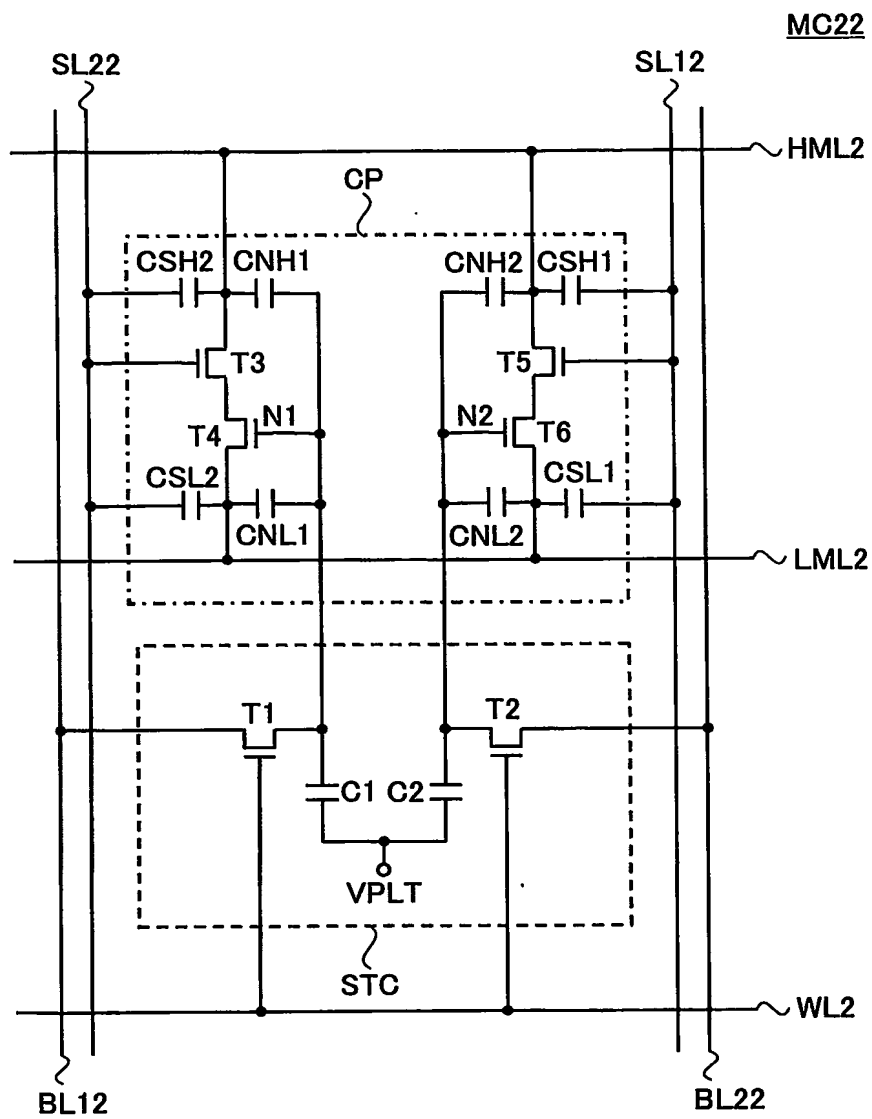


図 9

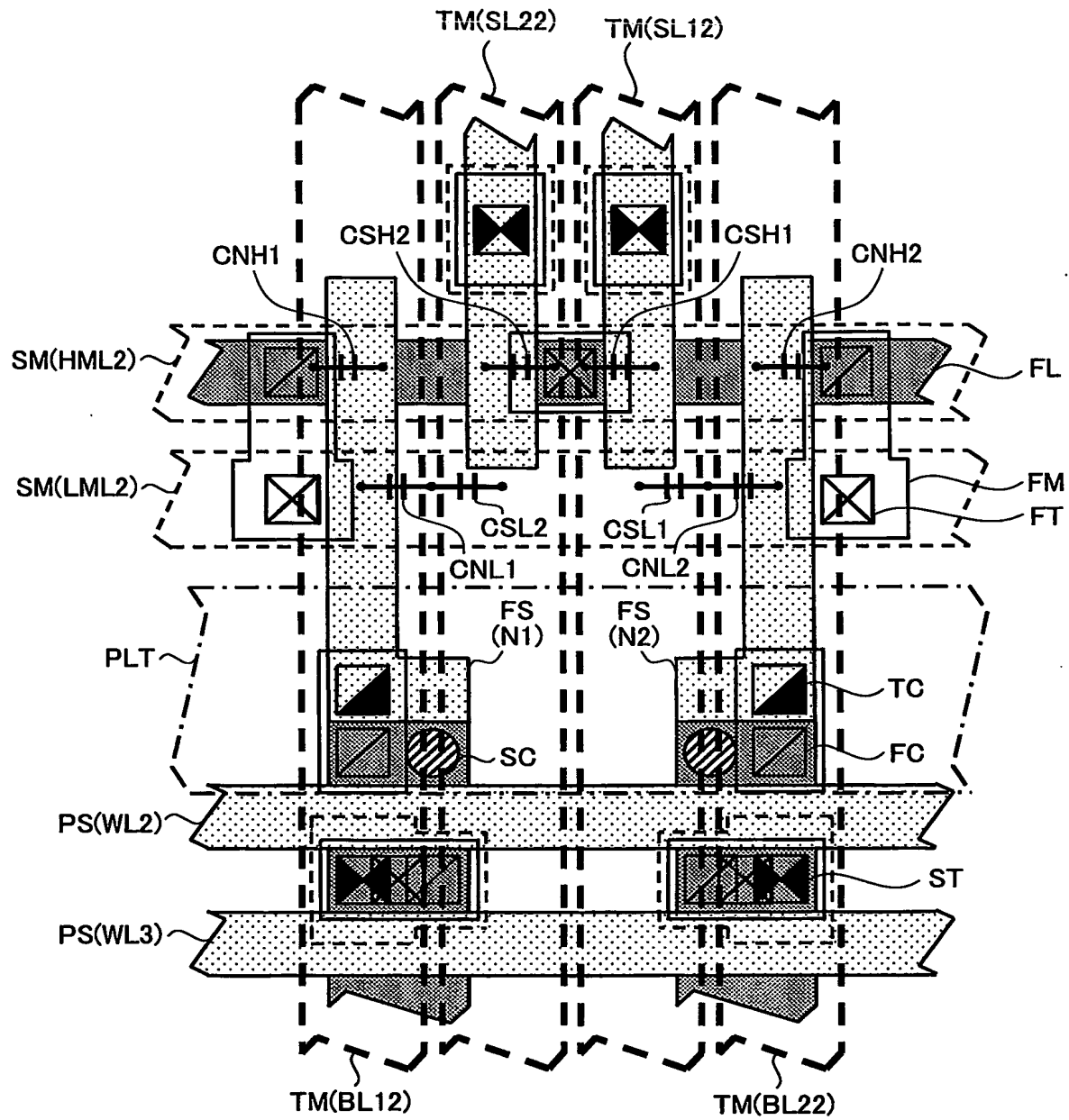


図 10

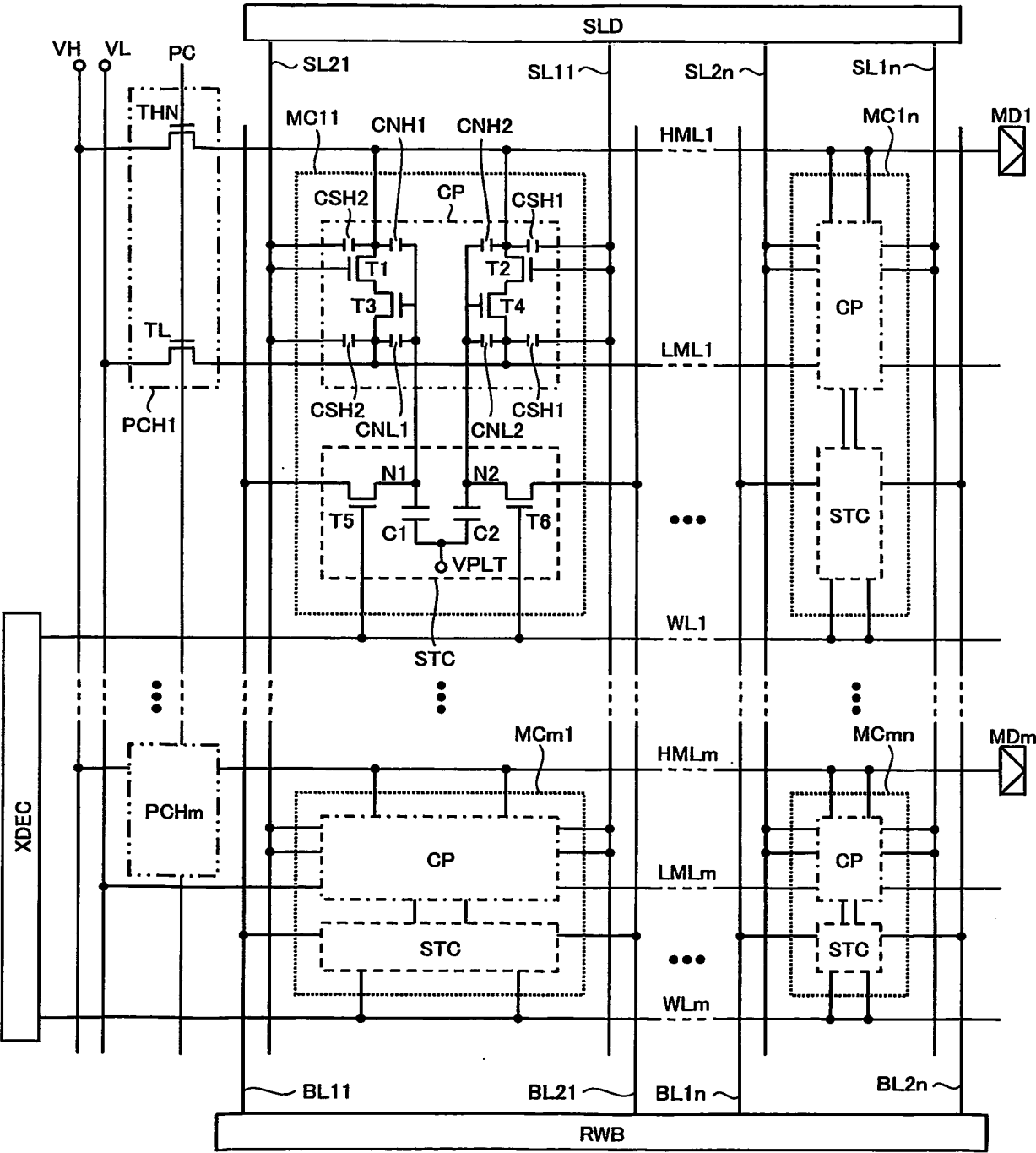


図 11

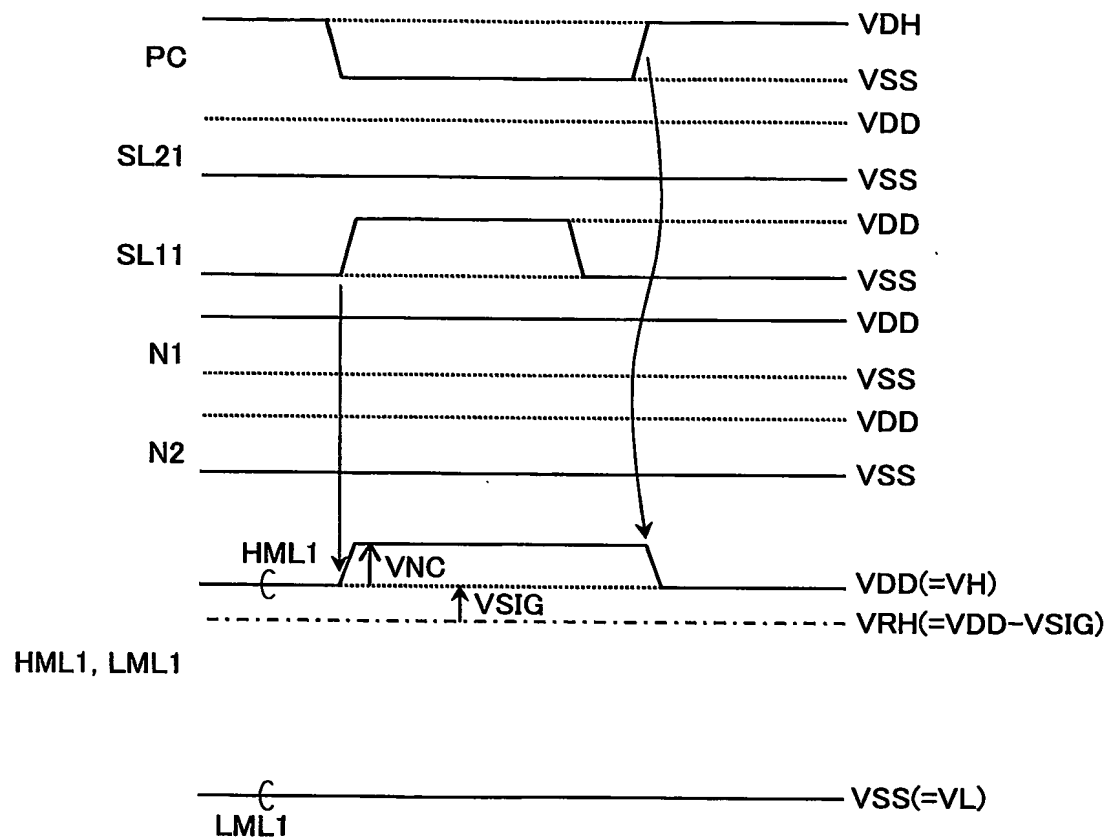
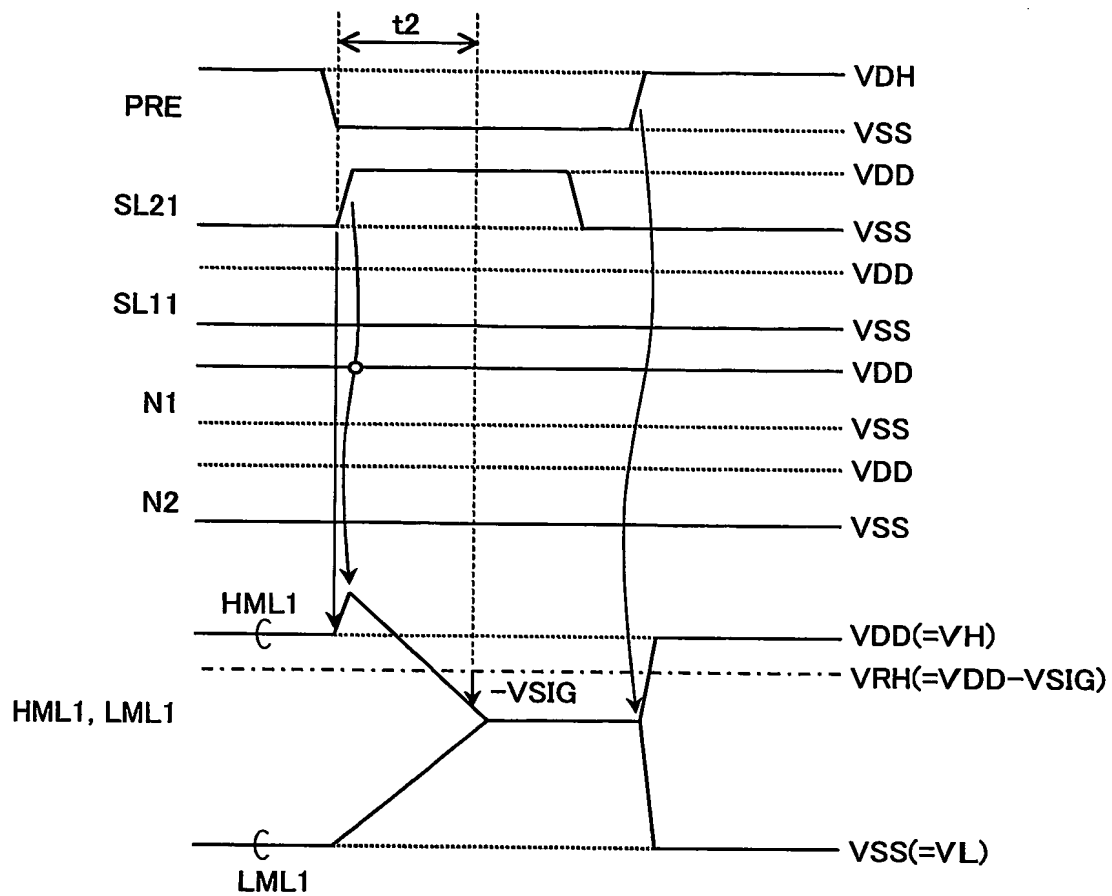


Figure 12 is a timing diagram showing the relationship between several signals and voltage levels. The signals are PRE, SL21, SL11, N1, N2, HML1, and LML1. The voltage levels are VDH, VSS, VDD, VDD(=VH), VRH(=VDD-VSIG), and VSS(=VL). A time interval t_2 is indicated between two vertical dashed lines.



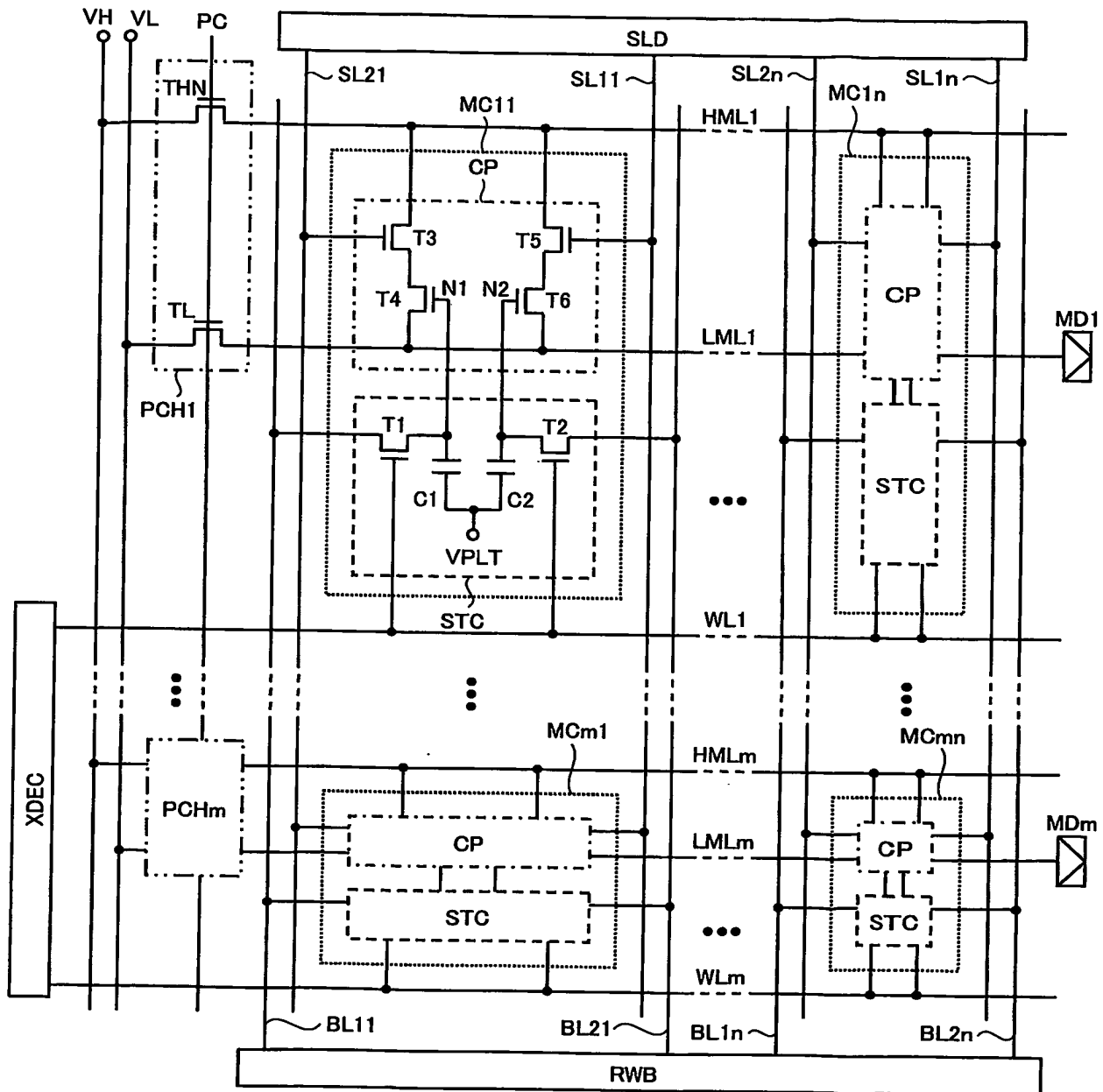
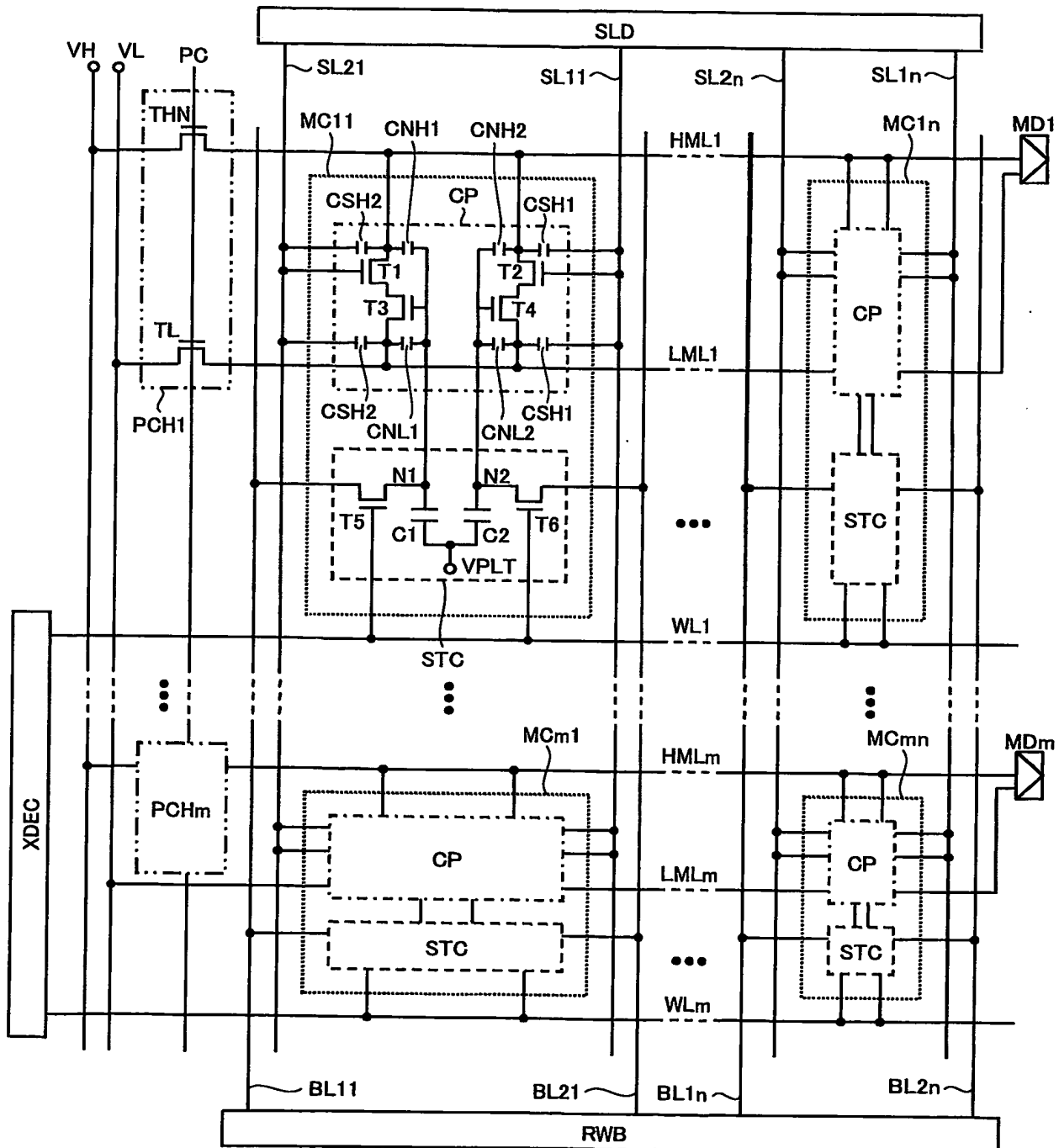
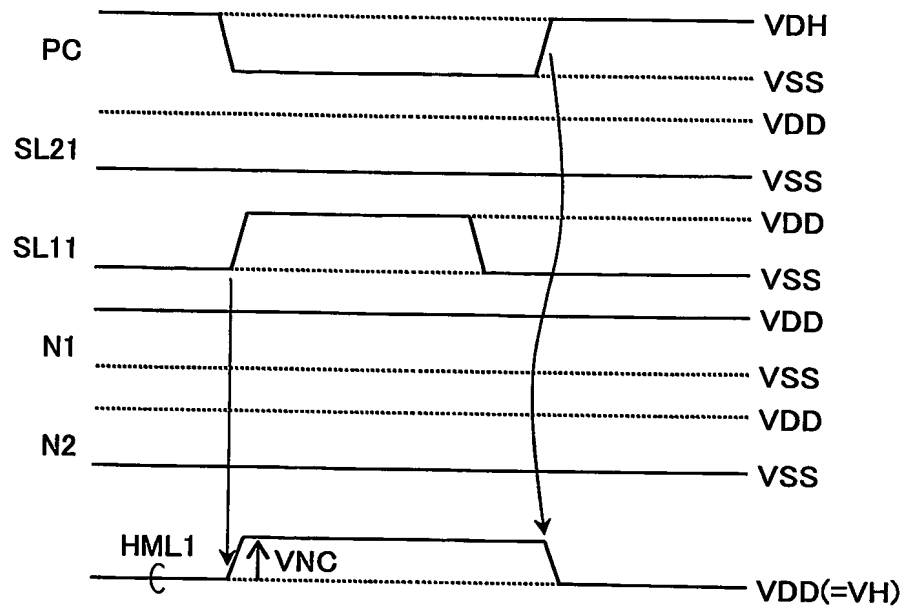
 13


図 14

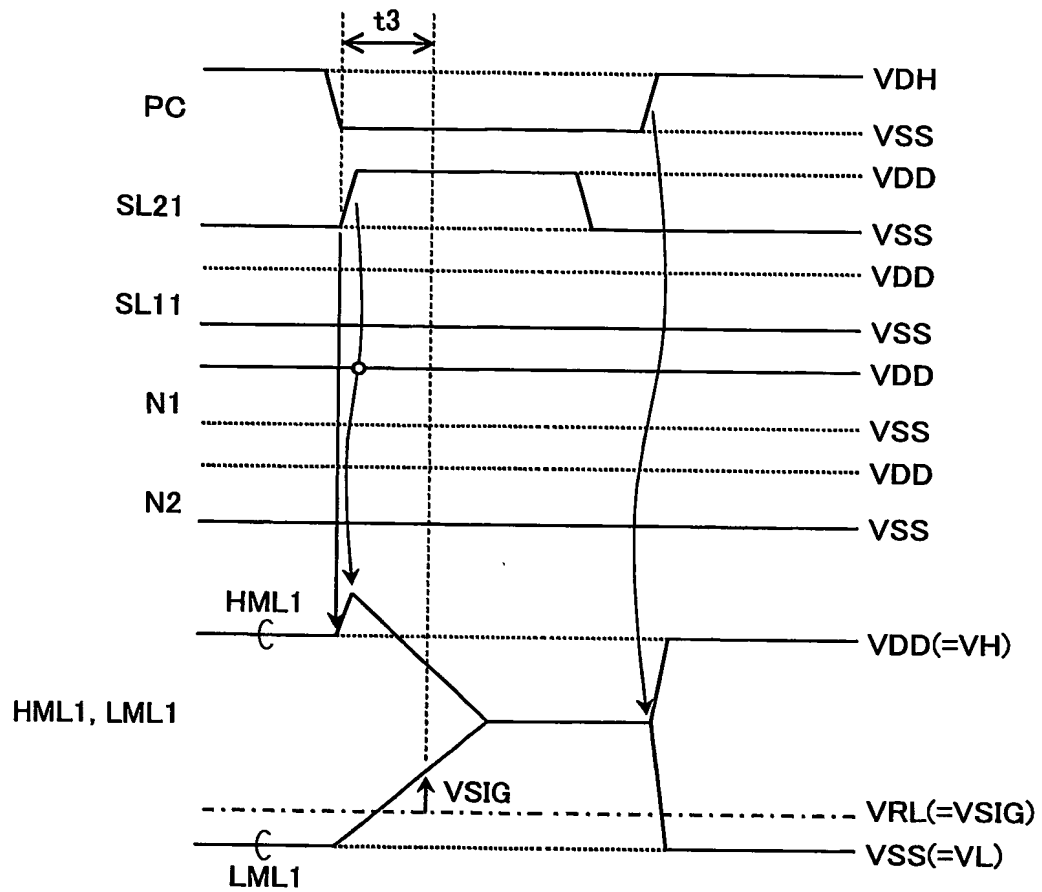


15

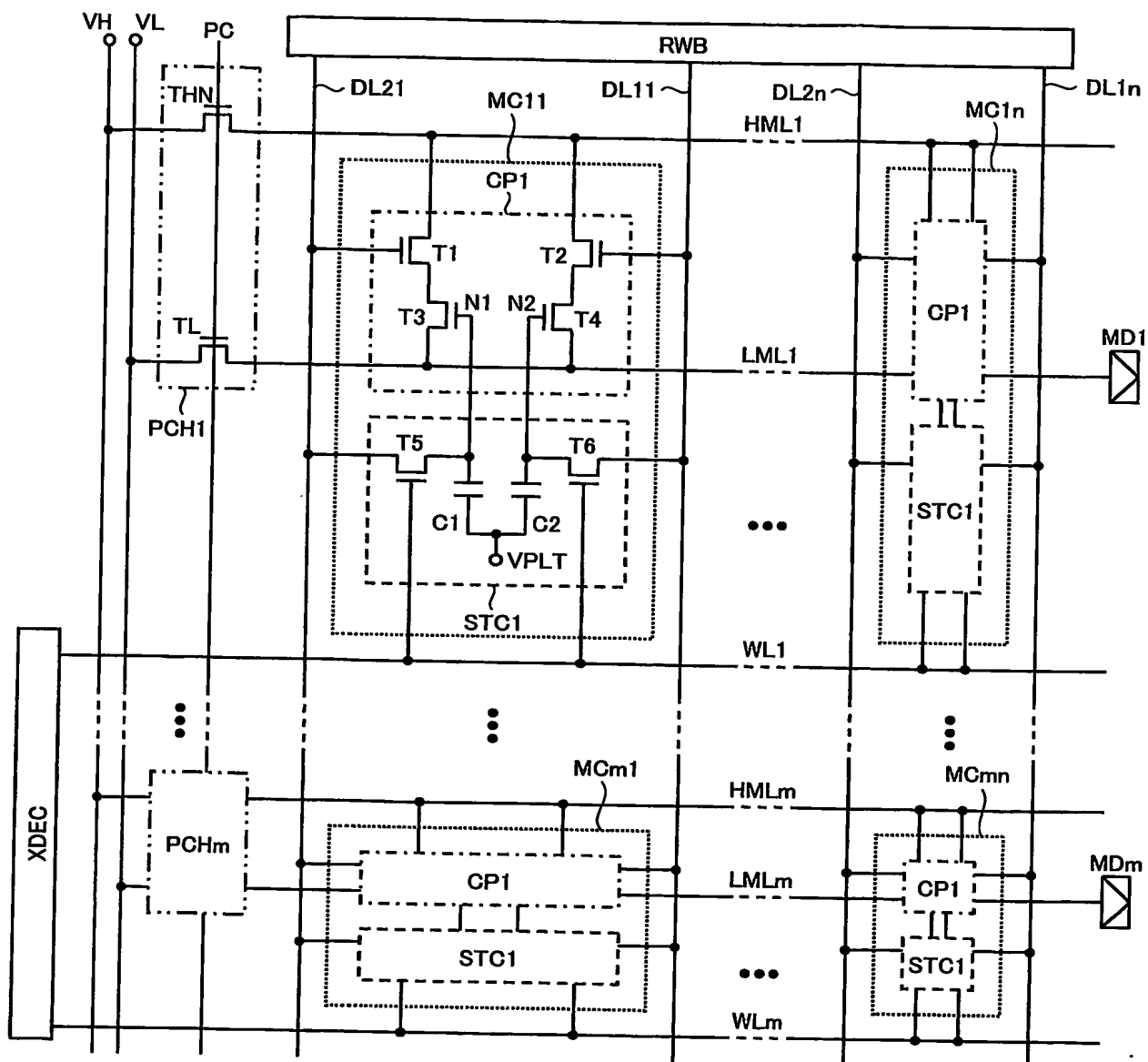


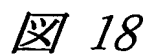
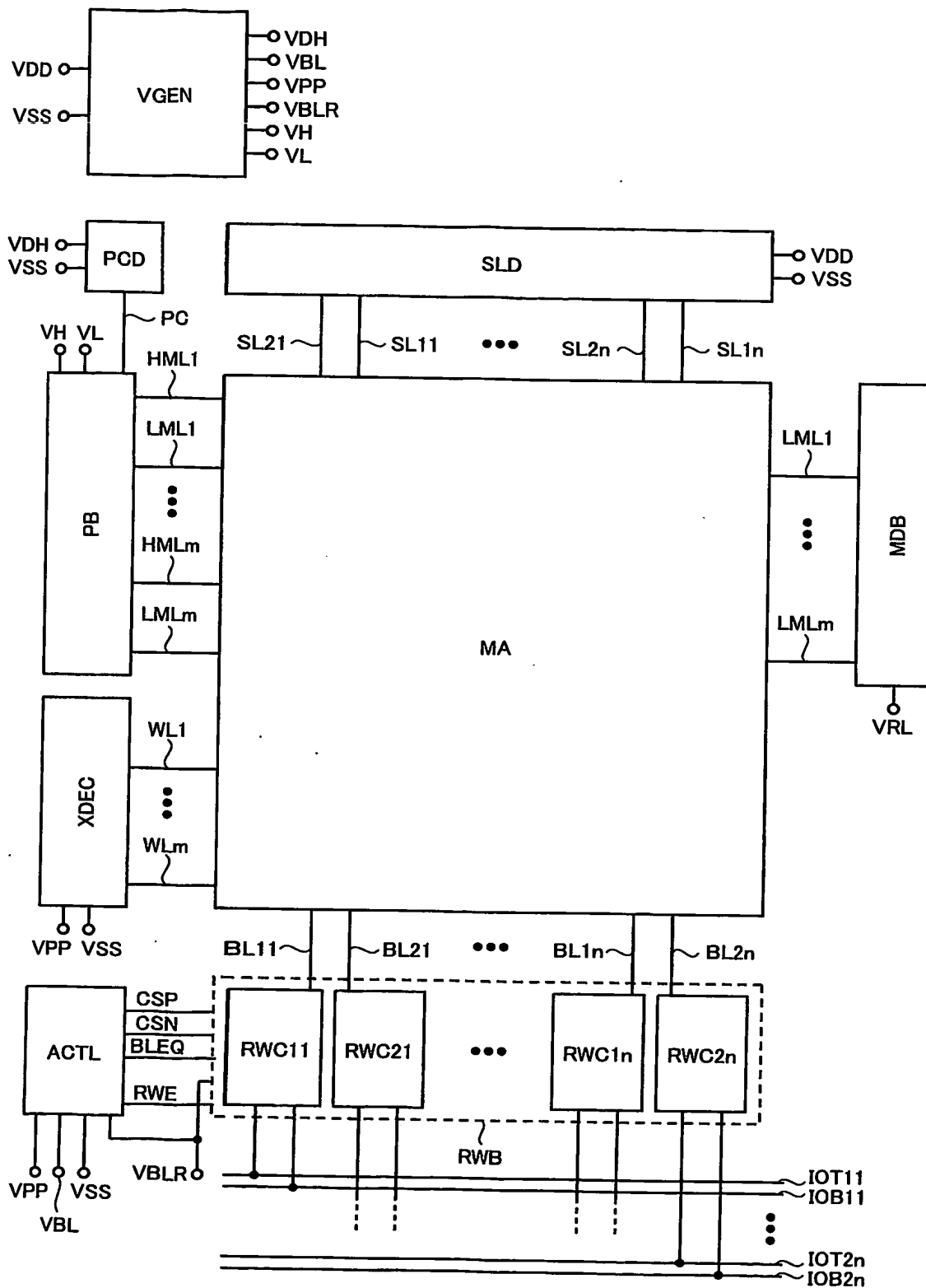
HML1, LML1

16



17



 18


19

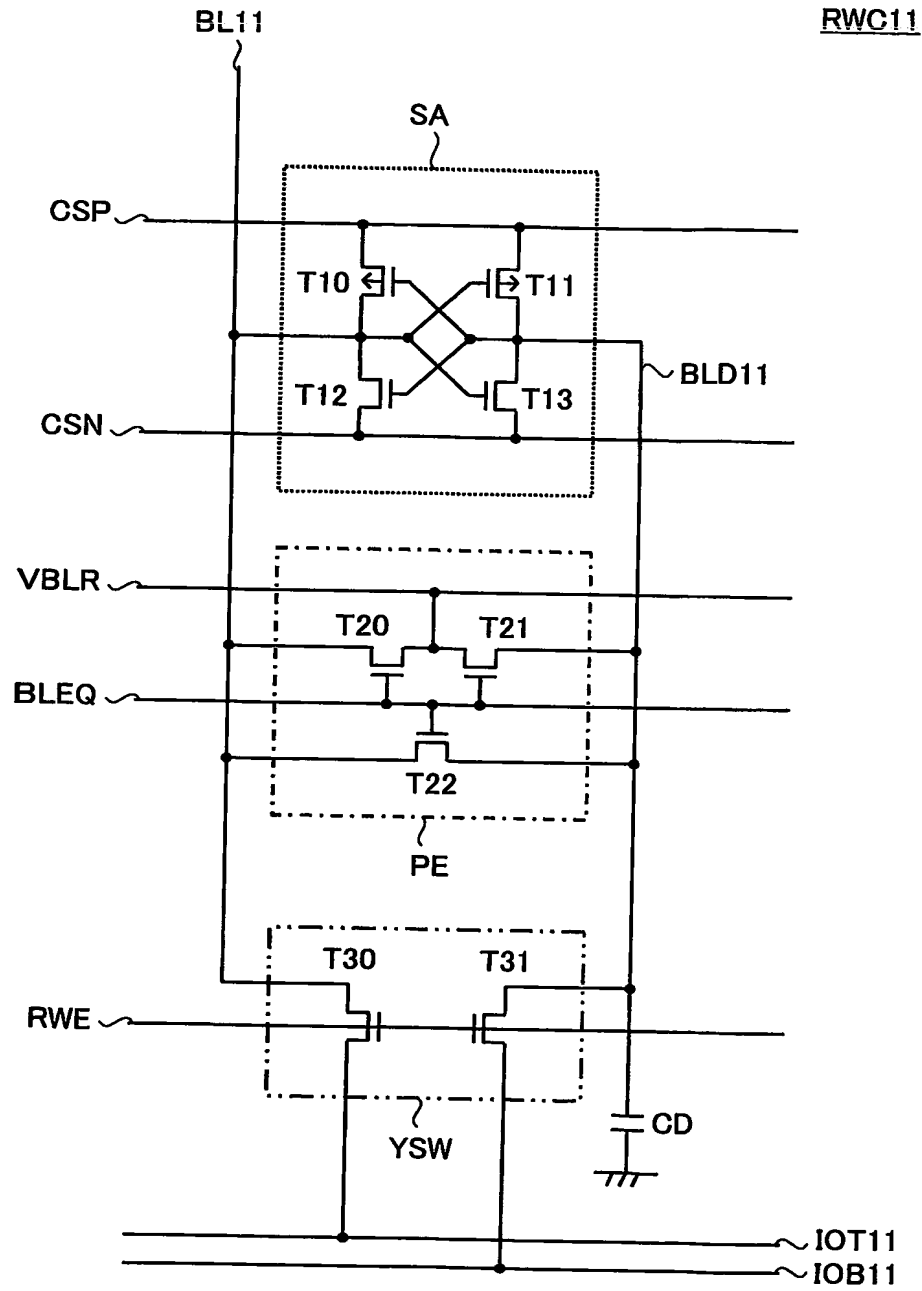


図 20

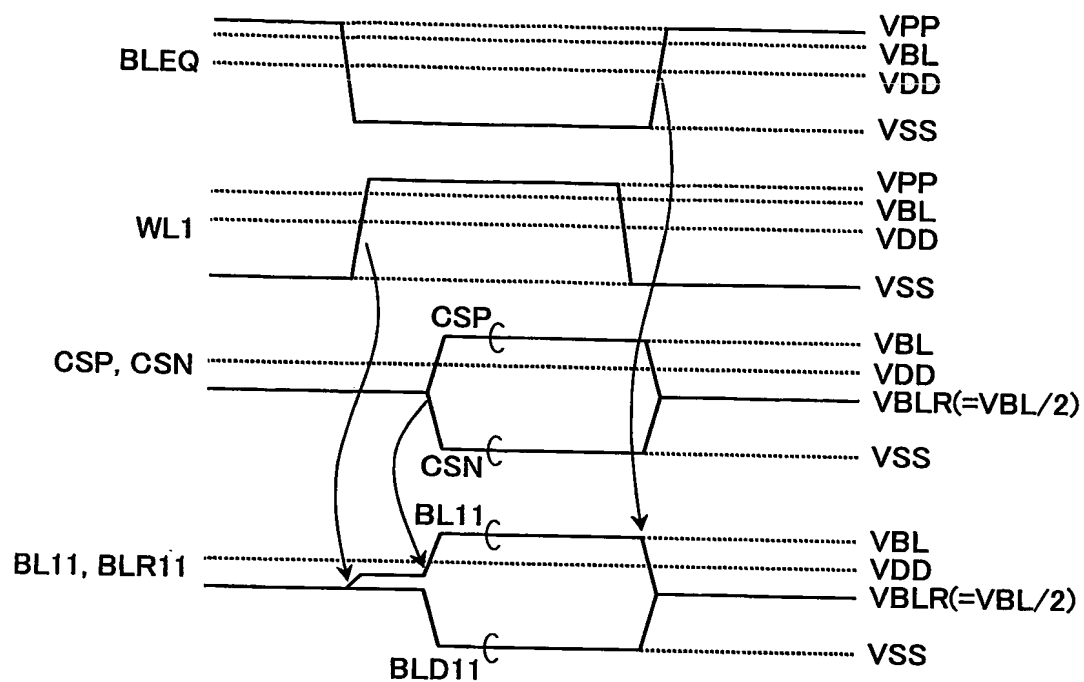
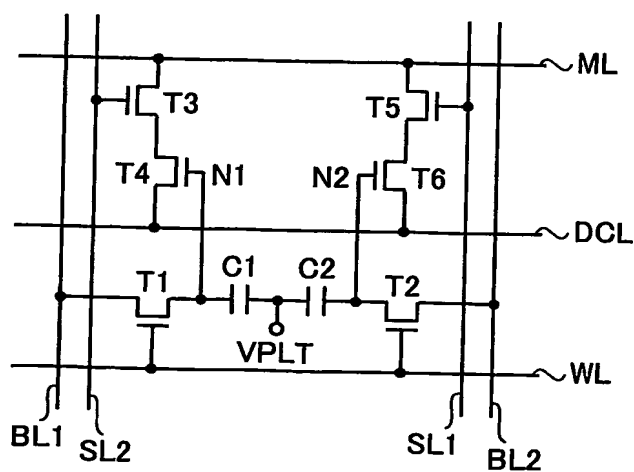


図 21



24

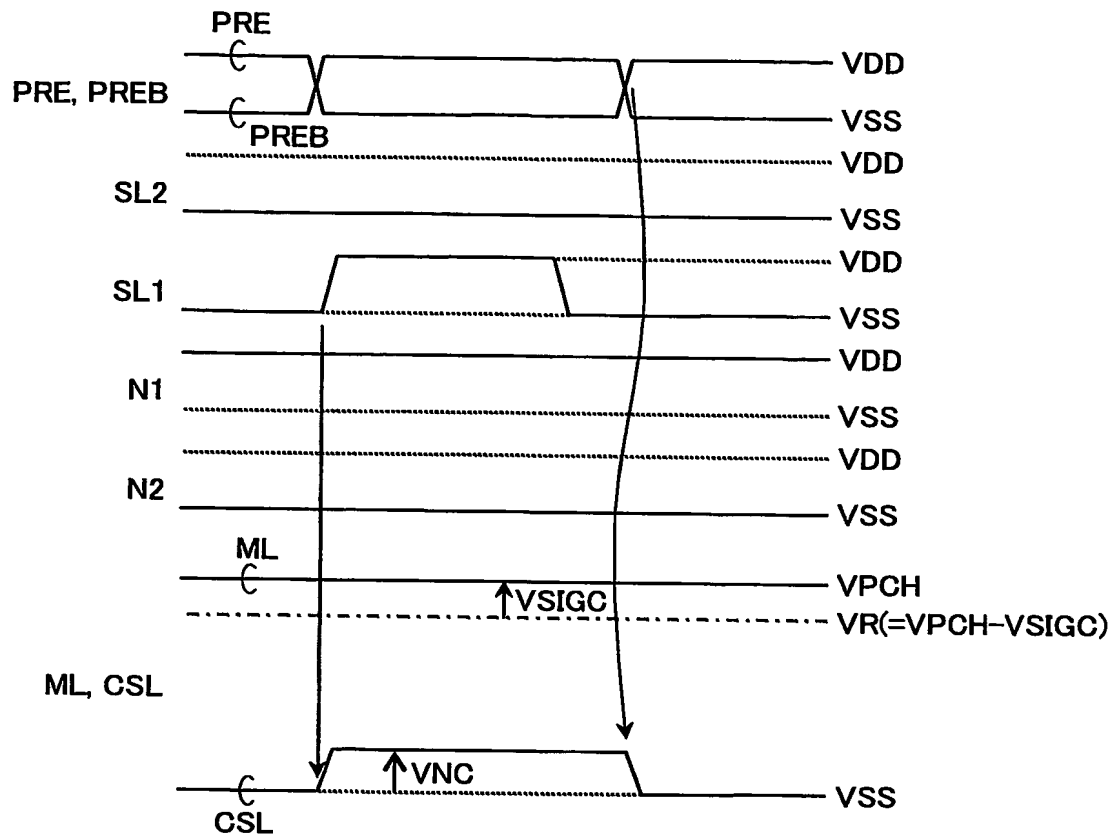


図 25

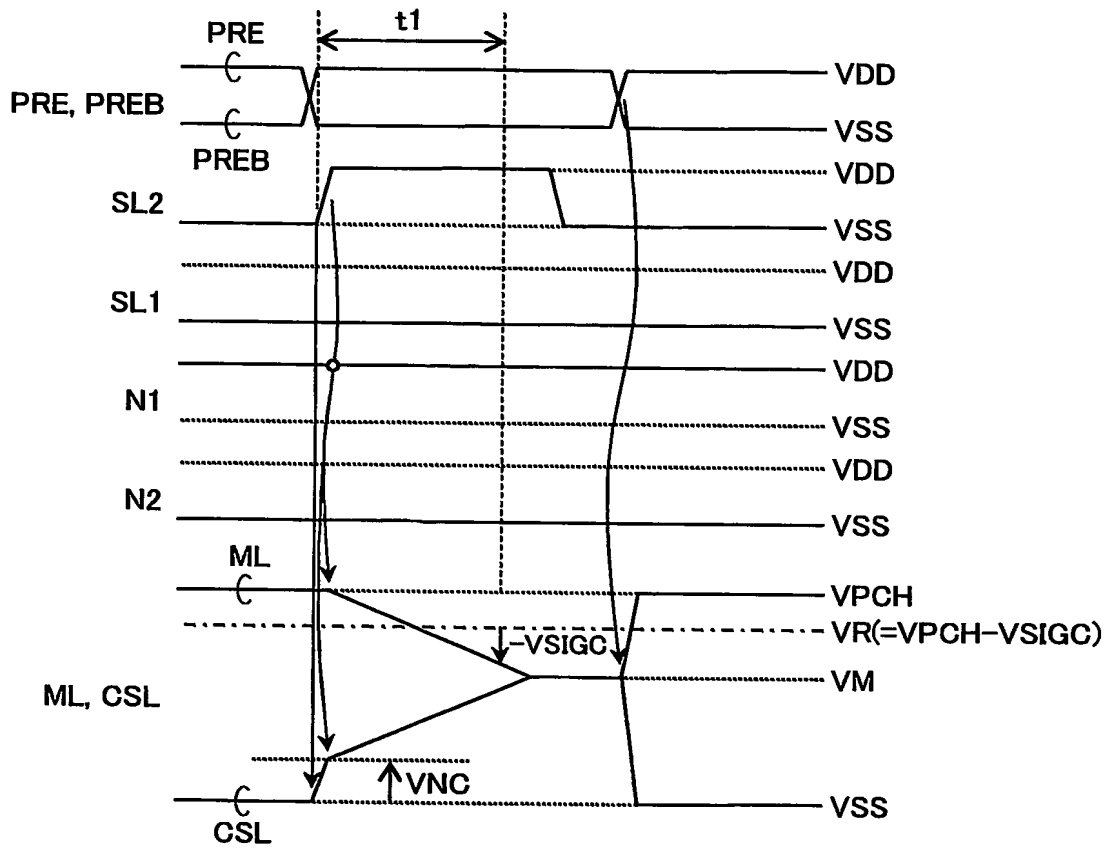


図 26

検索キー			エントリ			電流経路の状態		比較結果
情報	SL2	SL1	情報	N1	N2	M1側	M2側	
'0'	1	0	'1'	1	0	導通	カットオフ	不一致
'1'	0	1	'1'	1	0	カットオフ	カットオフ	一致
'0'	1	0	'0'	0	1	カットオフ	カットオフ	一致
'1'	0	1	'0'	0	1	カットオフ	導通	不一致
'0'	1	0	'X'	0	0	カットオフ	カットオフ	一致
'1'	0	1	'X'	0	0	カットオフ	カットオフ	一致
'X'	0	0	'1'	1	0	カットオフ	カットオフ	一致
'X'	0	0	'0'	0	1	カットオフ	カットオフ	一致
'X'	0	0	'X'	0	0	カットオフ	カットオフ	一致

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/014901

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G11C15/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G11C15/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2002-541610 A (Mosaid Technologies Inc.), 03 December, 2002 (03.12.02), Claim 16; Par. Nos. [0014], [0024], [0026], [0027], [0031]; Fig. 2 & KR 2002/012168 A & US 2002/0044475 A1 & WO 2000/060604 A1	1,2 8-10
Y	JP 2000-132978 A (International Business Machines Corp.), 12 May, 2000 (12.05.00), Par. No. [0023]; Fig. 3 & KR 2000/029138 A & US 6181591 B1	8-10
E,A	JP 2004-128266 A (Fujitsu Ltd.), 22 April, 2004 (22.04.04), Par. Nos. [0074] to [0076]; Fig. 5 (Family: none)	6

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* "A" "E" "L" "O" "P"	Special categories of cited documents: document defining the general state of the art which is not considered to be of particular relevance earlier document but published on or after the international filing date document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) document referring to an oral disclosure, use, exhibition or other means document published prior to the international filing date but later than the priority date claimed	"T" "X" "Y" "&"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art document member of the same patent family
--------------------------------------	---	--------------------------	---

Date of the actual completion of the international search
18 August, 2004 (18.08.04)

Date of mailing of the international search report
07 September, 2004 (07.09.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/014901

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-319481 A (Kawasaki Steel Corp.), 16 November, 2001 (16.11.01), (Family: none)	6
A	JP 2003-303495 A (Fujitsu Ltd.), 24 October, 2003 (24.10.03), (Family: none)	1-10

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G11C15/04

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G11C15/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国実用新案登録公報 1996-2004年

日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 2002-541610 A (モサイド・テクノロジーズ・ インコーポレイテッド), 2002. 12. 03, 【請求項1 6】, 段落【0014】, 【0024】, 【0026】, 【002 7】, 【0031】, FIG. 2 & KR 2002/012168 A & US 2002/0 044475 A1 & WO 2000/060604 A1	1, 2 8-10
Y	JP 2000-132978 A (インターナショナル・ビジネ ス・マシーニズ・コーポレーション), 2000. 05. 12, 段 落【0023】, 図3	8-10

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

18. 08. 2004

国際調査報告の発送日

07. 9. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

堀田 和義

5N

3578

電話番号 03-3581-1101 内線 6840

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	& KR 2000/029138 A & US 6181591 B1	
EA	JP 2004-128266 A (富士通株式会社), 200 4.04.22, 段落【0074】-【0076】, 図5 (ファミ リーなし)	6
A	JP 2001-319481 A (川崎製鉄株式会社), 200 1.11.16 (ファミリーなし)	6
A	JP 2003-303495 A (富士通株式会社), 200 3.10.24 (ファミリーなし)	1-10